



PATENT COOPERATION TREATY

PCT

From the INTERNATIONAL BUREAU

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

To:

FUKUSHIMA, Yoshito
8th floor, Daido Seimei Esaka
Daini Building
23-5, Esaka-cho 1-chome
Suita-shi, Osaka 564-0063
JAPON

Date of mailing (day/month/year) 07 June 2001 (07.06.01)		
Applicant's or agent's file reference P24008-PO		IMPORTANT NOTICE
International application No. PCT/JP00/08323	International filing date (day/month/year) 24 November 2000 (24.11.00)	Priority date (day/month/year) 03 December 1999 (03.12.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 07 June 2001 (07.06.01) under No. WO 01/41113

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38



PCT

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 P 2 4 0 0 8 - P O	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 8 3 2 3	国際出願日 (日.月.年) 2 4 . 1 1 . 0 0	優先日 (日.月.年) 0 3 . 1 2 . 9 9
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☐ 出願人が提出したものを承認する。

☒ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

第Ⅲ欄 要約 (第1ページの5の続き)

フィールドメモリ部 (7) に I P 変換および走査線変換に必要なフィールドの映像データを蓄え、フィールドメモリ部に蓄えられたデータを用いて、メモリ制御処理部 (2) により垂直周波数変換が行われ、I P 変換処理部 (3) により I P 変換が行われ、走査線変換処理部 (4) により走査線変換が行われ、水平画素変換処理部 (5) により水平画素変換が行われ、同期処理部 (6) は、所定のクロック、水平同期信号及び垂直同期信号を各ブロックに与える。1つのシステムで垂直周波数変換、I P 変換、走査線変換、および水平画素変換を行う。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl¹ G09G5/00, 3/20
H04N7/01, 3/27

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl¹ G09G5/00, 3/20
H04N7/01, 3/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-2001
日本国登録実用新案公報 1994-2001
日本国実用新案登録公報 1996-2001

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	WO, 99/53473, A (セイコーエプソン株式会社) 2 1. 10月. 1999 (21. 10. 99) 全文, 第1-15図 & JP, 11-298862, A	1, 9 2-8, 10-16
Y A	JP, 7-59056, A (ソニー株式会社) 3. 3月. 199 5 (03. 03. 95) 全文, 第1-10図, (ファミリー無し)	1, 9 2-8, 10-16
Y A	JP, 11-136643, A (キャノン株式会社) 21. 5 月. 1999 (21. 05, 99) 段落番号【0002】, 【00 03】, 第6図, (ファミリー無し)	1, 9 2-8, 10-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20. 02. 01

国際調査報告の発送日

06.03.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小松 徹三

2G

8326

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US, 5534934, A (Hitachi, Ltd) 9. 7月. 1996 (09. 07. 96) 全文, 第1-10図 & JP, 7-772 3, A & EP630154, A	1, 9 2-8, 10-16

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 2000年11月22日 (22.11.2000) 水曜日 13時17分01秒

0	受理官庁記入欄	
0-1	国際出願番号	R97889583
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 10.10.2000)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P24008-P0
I	発明の名称	映像信号変換装置および映像信号変換方法
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人である。	松下電器産業株式会社 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. 571-8501 日本国 大阪府 門真市 大字門真 1006 番地 1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-4ja	名称	
II-4en	Name	
II-5ja	あて名:	
II-5en	Address:	
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	81-6-6908-1473
II-9	ファクシミリ番号	81-6-6909-0053
III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor)
III-1-1	この欄に記載した者は	米国のみ (US only)
III-1-2	右の指定国についての出願人である。	武藤 泰明 MUTO, Yasuaki 560-0001 日本国 大阪府 豊中市 北緑丘 2-8-12-401 2-8-12-401, Kitamidorigaoka, Toyonaka-shi, Osaka 560-0001 Japan
III-1-4ja	氏名 (姓名)	
III-1-4en	Name (LAST, First)	
III-1-5ja	あて名:	
III-1-5en	Address:	
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

P24008-PO

原本(出願用) - 印刷日時 2000年11月22日 (22. 11. 2000) 水曜日 13時17分01秒

III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja III-2-4en III-2-5ja	氏名(姓名) Name (LAST, First) あて名:	若原 敏夫 WAKAHARA, Toshio 546-0003 日本国 大阪府 大阪市 東住吉区今川2-3-16
III-2-5en	Address:	2-3-16, Imagawa, Higashisumiyoshi-ku, Osaka-shi, Osaka 546-0003 Japan
III-2-6	国籍(国名)	日本国 JP
III-2-7	住所(国名)	日本国 JP
III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-3-2	右の指定国についての出願人である。	米国のみ (US only)
III-3-4ja III-3-4en III-3-5ja	氏名(姓名) Name (LAST, First) あて名:	丹羽 彰夫 NIWA, Akio 569-1044 日本国 大阪府 高槻市 上土室3-15-109-203
III-3-5en	Address:	3-15-109-203, Kamihamuro, Takatsuki-shi, Osaka 569-1044 Japan
III-3-6	国籍(国名)	日本国 JP
III-3-7	住所(国名)	日本国 JP
III-4 III-4-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-4-2	右の指定国についての出願人である。	米国のみ (US only)
III-4-4ja III-4-4en III-4-5ja	氏名(姓名) Name (LAST, First) あて名:	東 琢磨 HIGASHI, Takuma 569-0814 日本国 大阪府 高槻市 富田町4-1-17-103
III-4-5en	Address:	4-1-17-103, Tonda-cho, Takatsuki-shi, Osaka 569-0814 Japan
III-4-6	国籍(国名)	日本国 JP
III-4-7	住所(国名)	日本国 JP

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年6月7日 (07.06.2001)

PCT

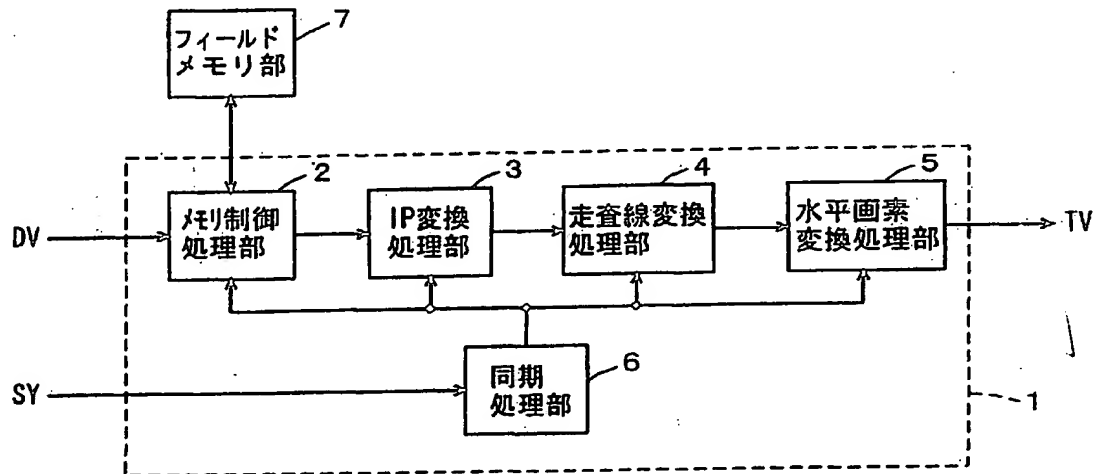
(10) 国際公開番号
WO 01/41113 A1

- (51) 国際特許分類: G09G 5/00, 3/20, H04N 7/01, 3/27
- (21) 国際出願番号: PCT/JP00/08323
- (22) 国際出願日: 2000年11月24日 (24.11.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平11/345430 1999年12月3日 (03.12.1999) JP
特願平2000-157907
2000年5月29日 (29.05.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
(73) 発明者/出願人 (米国についてのみ): 武藤泰明 (MUTO, Yasuaki) [JP/JP]; 〒560-0001 大阪府豊中市北緑丘2-8-12-401 Osaka (JP). 若原敏寿 (WAKAHARA, Toshio) [JP/JP]; 〒546-0003 大阪府大阪市東住吉区今川2-3-16 Osaka (JP). 丹羽彰夫 (NIWA, Akio) [JP/JP]; 〒569-1044 大阪府高槻市上土室3-15-109-203 Osaka (JP). 東 琢磨 (HIGASHI, Takuma) [JP/JP]; 〒569-0814 大阪府高槻市富田町4-1-17-103 Osaka (JP). 森田友子 (MORITA, Tomoko) [JP/JP]; 〒573-0065 大阪府枚方市出口1-8-10-603 Osaka (JP). 関口裕子 (SEKIGUCHI, Yuji) [JP/JP]; 〒636-0131 奈良県生駒郡斑鳩町服部1-1-18 Nara (JP).
- (74) 代理人: 福島祥人, 外 (FUKUSHIMA, Yoshito et al.); 〒564-0063 大阪府吹田市江坂町1丁目23番5号 大同生命江坂第2ビル8階 Osaka (JP).
- (81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: VIDEO SIGNAL CONVERSION DEVICE AND VIDEO SIGNAL CONVERSION METHOD

(54) 発明の名称: 映像信号変換装置および映像信号変換方法



7...FILED MEMORY SECTION 4...SCANNING LINE CONVERSION SECTION
2...MEMORY CONTROL SECTION 5...HORIZONTAL PIXEL CONVERSION SECTION
3...IP CONVERSION SECTION 6...SYNCHRONIZATION SECTION

(57) Abstract: Video data on a field necessary for IP conversion and scanning line conversion is stored in a field memory section (7). Using the data stored in the field memory section a memory control section (2) performs vertical frequency conversion. An IP conversion section (3) performs IP conversion. A scanning line conversion section (4) performs scanning line conversion. A horizontal pixel conversion section (5) performs horizontal pixel conversion. A synchronization section (6) gives a predetermined clock, vertical and horizontal synchronizing signals to each block. Thus a single system performs vertical frequency conversion, IP conversion, scanning line conversion and horizontal pixel conversion.

[続葉有]

WO 01/41113 A1



(84) 指定国(広域): ヨーロッパ特許 (DE, FR, GB).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

フィールドメモリ部(7)にIP変換および走査線変換に必要なフィールドの映像データを蓄え、フィールドメモリ部に蓄えられたデータを用いて、メモリ制御処理部(2)により垂直周波数変換が行われ、IP変換処理部(3)によりIP変換が行われ、走査線変換処理部(4)により走査線変換が行われ、水平画素変換処理部(5)により水平画素変換が行われ、同期処理部(6)は、所定のクロック、水平同期信号及び垂直同期信号を各ブロックに与える。1つのシステムで垂直周波数変換、IP変換、走査線変換、および水平画素変換を行う。

明 細 書

映像信号変換装置および映像信号変換方法

5 技術分野

本発明は、映像信号を表示装置に適合する映像信号に変換する映像信号変換装置および映像信号変換方法に関し、特に、映像信号をマトリックス表示を行う表示装置に適合する映像信号に変換する映像信号変換装置および映像信号変換方法に関するものである。

背景技術

ドットマトリックス表示ディスプレイパネルとしては、PDP（プラズマディスプレイパネル）および液晶パネル等があり、これらのディスプレイパネルに必要な信号処理技術としては、IP（インターレース/プログレッシブ）変換、走査線変換、水平画素変換および垂直周波数変換が挙げられる。

IP変換は、インターレース信号をプログレッシブ信号に変換する処理である。走査線変換は、表示画像の垂直方向の拡大および縮小を行う処理である。水平画素変換は、表示画像の水平方向の拡大および縮小を行う処理である。これらの各変換は、水平および垂直方向の画素数が決まっているドットマトリックス型表示装置に必要な技術である。

また、垂直周波数変換は、映像信号の垂直周波数を表示装置に適する垂直周波数に変換する処理であり、PDPでは階調表現手法の制限から、一方、液晶パネルでは階調表現手法およびその動作速度の制限から、垂直周波数は60Hzとするのが最も望ましい。したがって、映像信号の垂直周波数が60Hzよりも大きい場合、この垂直周波数を60Hzに変換する垂直周波数変換回路が非常に有用となる。

上記のIP変換を行う従来の映像信号変換装置としては、例えば、特開平7-123367号公報に開示される走査線変換回路がある。図35は、従来の走査線変換回路の構成を示す回路図であり、図36は、図35に示す走査線変換回路

のフィルタ係数を示す図である。

図 3 5 に示す走査線変換回路は、前後のフィールドのデータと現フィールドのデータとから現フィールドの補間ラインを合成するものである。まず、入力端子 3 3 1 に供給された輝度信号は、第 1 のハイパスフィルタ 3 3 0 に供給される。

- 5 第 1 のハイパスフィルタ 3 3 0 は、1 H (H は水平走査期間) の遅延時間を有する縦続接続された一対の遅延手段 3 3 2, 3 3 3 を有し、それらの入出力段の輝度信号は、対応する係数器 3 3 4, 3 3 5, 3 3 6 を経て加算器 3 3 7 で合成される。

- 10 係数器 3 3 4 ~ 3 3 6 の各係数は、図 3 6 に示す係数が用いられる。図 3 6 では、その横方向がフィールドに対応し、縦方向がそのフィールドにおける垂直方向 V を示す。同一フィールドの各ラインに対しては図示のようなフィルタ係数が定められる。したがって、図 3 5 に示す走査線変換回路では、実ラインに対応する係数器 3 3 5 の係数は $6 / 24$ であり、上下の係数器 3 3 4, 3 3 6 はともに $-3 / 24$ である。係数器 3 3 4 ~ 3 3 6 は、アンプを使用することができ、アンプを使用した場合、図示のように上下の係数器 3 3 4, 3 3 6 はインバータ構成である。

- 20 2 H 遅延された輝度信号は、ほぼ 1 フィールド分の遅延時間を得るため、260 H の遅延手段 3 6 0 に供給され、入力端子 3 3 1 に供給された輝度信号がちょうど 1 フィールド分遅延されて出力される。1 フィールド遅延したこの輝度信号は、ローパスフィルタ 3 4 0 に供給される。

- 25 ローパスフィルタ 3 4 0 は、図 3 6 に示すように 7 ラインのデータに基づいてフィルタ特性を付与する。したがって、ローパスフィルタ 3 4 0 は、1 H の遅延時間を有する縦続接続された 3 個の遅延手段 3 4 1 ~ 3 4 3 を有し、それぞれの入出力信号は対応する係数器 3 4 4 ~ 3 4 7 によって所定の係数が乗算された後、加算器 3 4 8 で合成される。遅延手段 3 4 1 から出力された輝度信号は、現ラインでの輝度信号 L 1 として使用され、これが切り換えスイッチ 3 6 6 に供給される。ローパスフィルタ 3 4 0 には、図 3 6 に示すように第 1 ラインと第 7 ラインに対しては $2 / 24$ のフィルタ係数が選ばれ、第 3 ラインと第 5 ラインに対しては $10 / 24$ のフィルタ係数が選ばれる。

ローパスフィルタ 340 によりさらに 3 H 分遅延された輝度信号は、260 H の遅延手段 362 を介して第 2 のハイパスフィルタ 350 に供給される。遅延手段 362 を設けることによって入力端子 331 に供給された輝度信号は、2 フィールド分遅延されることになる。2 フィールド分遅延された輝度信号は、この第 2 のハイパスフィルタ 350 で所定のハイパス特性が付与され、その構成は第 1 のハイパスフィルタ 330 と同様である。

加算器 356 の出力は、さらに加算器 364 に供給され、各フィルタ出力が合成される。このようにして、後フィールドの第 4 ラインと前フィールドの第 4 ラインが現フィールドの第 3 ラインと第 5 ラインとの間にあるとき、この間の補間ラインは、前後フィールドのそれぞれ 3 ライン分のハイパスフィルタの出力と現フィールドの 4 ライン分のローパスフィルタの出力を加算器 364 により加算して得られる。

また、走査線変換および水平画素変換を行う従来の映像信号変換装置としては、例えば、特開平 10-134175 号公報に開示される画像処理装置がある。

図 37 は、従来の画像処理装置の構成を示すブロック図である。

剰余回路 301 は、所定の装置から供給された位相変化分 P_d とレジスタ 302 の値の和の小数部をレジスタ 302 に出力する。近似回路 303 は、位相 x がレジスタ 302 の値に最も近い位相に対応するフィルタ係数セットに対応するフィルタ信号 P_i を係数メモリ 400 へ出力する。このようにして、所定の画素データの補間において、所定の数のフィルタ係数セットのうちの最適なフィルタ係数セットが選択される。そして、Cubic 近似法に従って、その 4 つのフィルタ係数セットと 4 つの画素データとの積和演算が乗算器 405 ~ 408 と加算器 409 とにより行われ、画素の補間値が算出され、任意の変換比率の画像の拡大または縮小を行うことができる。

上記のように、従来の装置では、IP 変換、走査線変換、水平画素変換等の個々の変換に関して詳細に開示されているが、IP 変換、走査線変換、水平画素変換および垂直周波数変換をシステムのまとめた装置については報告されておらず、一つの装置により上記各変換を行い、映像信号をマトリックス表示を行う表示装置に適する映像信号に変換することはできない。

発明の開示

本発明の目的は、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号を表示装置に適する映像信号に変換することができる映像信号変換装置および映像信号変換方法を提供することである。

本発明の一局面に従う映像信号変換装置は、入力される映像信号を表示装置に適合する映像信号へ変換する映像信号変換装置であって、映像信号を記憶する記憶部と、入力される映像信号を記憶部に書き込むための書き込み制御信号および記憶部に記憶されている映像信号を読み出すための読み出し制御信号を記憶部へ出力し、記憶部への映像信号の入出力を制御するとともに、記憶部に記憶されている映像信号の垂直周波数を変換する垂直周波数変換処理回路と、垂直周波数変換処理回路から出力される映像信号がインターレース信号の場合、インターレース信号からプログレッシブ信号へ変換するインターレース/プログレッシブ変換処理回路と、インターレース/プログレッシブ変換処理回路から出力される映像信号の走査線数を変換する走査線変換処理回路と、走査線変換処理回路から出力される映像信号の水平画素数を変換する水平画素変換処理回路と、垂直周波数変換処理回路、インターレース/プログレッシブ変換処理回路、走査線変換処理回路および水平画素変換処理回路の動作を制御するための同期制御信号を垂直周波数変換処理回路、インターレース/プログレッシブ変換処理回路、走査線変換処理回路および水平画素変換処理回路へ出力する同期制御回路とを備える。

その映像信号変換装置では、一つの記憶部に記憶されている映像信号の垂直周波数を変換し、垂直周波数変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換し、インターレース/プログレッシブ変換された映像信号の走査線数を変換し、走査線変換された映像信号の水平画素数を変換している。したがって、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号を表示装置に適する映像信号に変換することができる。

記憶部は、フィールドメモリを含み、垂直周波数変換処理回路は、同期制御回路から出力される第1のクロックを基準に書き込み動作を行うとともに、同期制御回路から出力される第2のクロックを基準に読み出し動作を行い、同期制御回路から出力される第1の系統の水平同期信号に応じて映像信号の書き込みおよび読み出し動作を行う第1のラインメモリと、第2のクロックを基準に動作し、第1の系統の水平同期信号および同期制御回路から出力される第1の系統の垂直同期信号に応じて書き込み制御信号を出力するとともに、同期制御回路から出力される第2の系統の水平同期信号および第2の系統の垂直同期信号に応じて読み出し制御信号を出力し、第1のラインメモリから出力される映像信号の垂直周波数を第1の系統の垂直同期信号の周波数から第2の系統の垂直同期信号の周波数へ変換する垂直周波数変換回路とを含み、インターレース/プログレッシブ変換処理回路は、第2のクロックを基準に動作し、第2の系統の水平同期信号に応じて垂直周波数変換回路から出力される映像信号の書き込みおよび読み出し動作を行う第2のラインメモリと、第2のクロックを基準に動作し、第2の系統の水平同期信号に応じて、第2のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するインターレース/プログレッシブ変換回路とを含み、走査線変換処理回路は、第2のクロックを基準に動作し、第2の系統の水平同期信号に応じてインターレース/プログレッシブ変換回路から出力される映像信号の書き込み動作を行うとともに、同期制御回路から出力される第3の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行う第3のラインメモリと、第2のクロックを基準に動作し、第3の系統の水平同期信号および第2の系統の垂直同期信号に応じて、第3のラインメモリから出力される映像信号の走査線数を変換する走査線変換回路とを含み、水平画素変換処理回路は、第2のクロックを基準に動作し、第3の系統の水平同期信号に応じて、走査線変換回路から出力される映像信号の水平画素数を圧縮する水平圧縮回路と、第2のクロックを基準に書き込み動作を行うとともに、同期制御回路から出力される第3のクロックを基準に読み出し動作を行い、第3の系統の水平同期信号に応じて、水平圧縮回路から出力される映像信号の書き込みおよび読み出し動作を行う第4のラインメモリと、第3のクロックを基準に動作し、第3の系統の水平

同期信号に応じて、第4のラインメモリから出力される映像信号の水平画素数を拡大する水平拡大回路とを含むことが好ましい。

5 この場合、第1のラインメモリにより入力側のクロックである第1のクロックから装置内部のクロックとなる第2のクロックへ乗せ換えることができるとともに、第4のラインメモリにより第2のクロックから出力側のクロックとなる第3
10 のクロックへ乗せ換えることができる。また、垂直周波数変換回路により入力側の水平同期信号である第1の系統の水平同期信号から装置内部の水平同期信号となる第2の系統の水平同期信号へ乗せ換えることができるとともに、入力側の垂直同期信号である第1の系統の垂直同期信号から出力側の垂直同期信号となる第
15 2の系統の垂直同期信号へ乗せ換えることができる。さらに、第3のラインメモリにより第2の系統の水平同期信号から出力側の水平同期信号となる第3の水平同期信号へ乗せ換えることができる。

したがって、インターレース/プログレッシブ変換および走査線変換に適した
15 高い周波数で内部のクロックを出力することができ、また、フィールドメモリの前後で水平同期信号および垂直同期信号の乗せ換えを行うことができるとともに、走査線変換前に水平同期信号を乗せ換えることができる。この結果、垂直周波数変換、インターレース/プログレッシブ変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号
20 処理を総合的かつに簡単に実現することができる。

記憶部は、フィールドメモリを含み、インターレース/プログレッシブ変換処理回路は、複数のラインメモリを含み、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じてフィールドメモリから複数のラインメモリの少なくとも一つに映像信号を転送され、複数のライン
25 メモリ間でのデータのローテーションを行うとともに、複数のラインメモリのデータを用いて補間ラインの合成を行い、水平同期信号に応じて複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つのラインメモリから現ラインのデータを読み出すことが好ましい。

この場合、インターレース/プログレッシブ変換を行う場合の信号の受け渡し

およびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

記憶部は、フィールドメモリを含み、垂直周波数変換処理回路は、フィールドメモリの読み出し開始アドレスとして、走査線変換処理回路により走査線数を増加させて垂直方向の拡大処理を行う場合にフィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、走査線変換処理回路により走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるアドレス発生回路と、アドレス発生回路により負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入する黒ライン挿入回路とを含み、同期制御回路は、垂直方向の拡大処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を低下させ、垂直方向の縮小処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を高くする水平同期信号発生回路を含み、垂直周波数変換処理回路は、水平同期信号発生回路から出力される水平同期信号に応じてフィールドメモリの読み出し動作を制御することが好ましい。

この場合、フィールドメモリの前後で水平周波数の変換を行い、出力側の水平同期信号およびクロックの周波数の変動を抑制することができるので、次段の回路や表示装置をより安定に動作させることができるとともに、回路構成を簡略化することができる。

記憶部は、フィールドメモリを含み、同期制御回路は、垂直周波数変換処理回路へ入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別する判別回路を含み、垂直周波数変換処理回路は、判別回路により判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じてフィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すフィールド情報記憶回路を含み、垂直周波数変換処理回路は、フィールド情報記憶回路により読み出されたフィールド情報に応じて映像信号をインターレース/プログレッシブ変換処理回路へ出力し、インターレース/プログレッシブ変換処理回路は、フィールド内補間によ

り垂直周波数変換処理回路から出力される映像信号をインターレース信号からプログレッシブ信号へ変換することが好ましい。

5 この場合、フィールド情報を映像信号にリンクさせて読み出すことにより、垂直周波数変換およびインターレース／プログレッシブ変換を両立することが可能となり、60Hzよりも高い垂直周波数のインターレース信号にも対応することができる。

10 同期制御回路は、垂直周波数変換処理回路の出力側および走査線変換処理回路の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第1の水平同期信号発生回路と、第1の水平同期信号発生回路から発生される水平同期信号を用いて垂直同期信号を発生させる垂直同期信号発生回路と、走査線変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第2の水平同期信号発生回路と、垂直周波数変換処理回路に入力される映像信号の垂直同期信号から作成された垂直同期信号および垂直同期信号発生回路から出力される垂直同期信号を受け、垂直周波数変換処理回路の出力側の基準となる垂直同期信号および走査線変換処理回路の出力側の基準となる垂直同期信号を作成するための垂直同期信号として、垂直周波数変換処理回路が垂直周波数変換を行う場合に垂直同期信号発生回路の垂直同期信号を選択して出力し、垂直周波数変換処理回路が垂直周波数変換を行わない場合に垂直周波数変換処理回路に☐入力される映像信号の垂直同期信号から作成された垂直同期信号を選択して出力する選択回路とを含み、第1および第2の水平同期信号発生回路は、選択回路から出力される垂直同期信号を基準にリセットされることが好ましい。

20 このとき、垂直周波数変換処理回路の後に走査線変換処理回路を配置する場合において、垂直周波数変換の有無に関わらず、第1の水平同期信号発生回路により垂直周波数変換処理回路の出力側および走査線変換処理回路の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させ、第1の水平同期信号発生回路とは別の第2の水平同期信号発生回路により走査線変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させ、垂直周波数変換処理回路の出力側の基準となる垂直同期信号および走査線変換処理回路の出力側の基準となる垂直同期信号を作成するための垂直同期信号を基準に第

1 および第2の水平同期信号発生回路をリセットしている。したがって、走査線変換による拡大縮小に関わらず、装置の出力側の同期信号をほぼ一定に保つことができる。

第1の水平同期信号発生回路は、垂直周波数変換処理回路の出力側の基準および走査線変換処理回路の入力側となる水平同期信号を作成するための水平同期信号を発生させる第1のカウンタを含み、垂直同期信号発生回路は、第1のカウンタから発生される水平同期信号を分周して垂直同期信号を発生させる第2のカウンタを含み、第2の水平同期信号発生回路は、走査線変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、当該水平同期信号を所定のクロックを発生させるPLL回路の基準パルスとして出力する第3のカウンタと、PLL回路の分周比を決定し、PLL回路から出力されるクロックを分周して水平画素変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第4のカウンタとを含み、第1および第3のカウンタは、選択回路から出力される垂直同期信号を基準にリセットされることが好ましい。

この場合、第1のカウンタにより垂直周波数変換処理回路の出力側および走査線変換処理回路の入力側の基準となる水平同期信号を作成するための水平同期信号を作り直し、第1のカウンタとは別の第3のカウンタにより走査線変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、PLL回路の基準パルスを作成し、垂直周波数変換処理回路の出力側の基準となる垂直同期信号および走査線変換処理回路の出力側の基準となる垂直同期信号を作成するための垂直同期信号を基準に第1および第3のカウンタをリセットしているので、走査線変換処理回路による拡大および縮小処理によらず、装置の出力側の水平同期信号およびクロックをほぼ一定に保つことが可能となる。また、垂直周波数変換以降の各カウンタの設定は、入力される映像信号の周波数や画素数に関わらず、常に走査線変換での変換比のみで決定されるため、各カウンタの設定も容易となる。

第4のカウンタは、選択回路から出力される垂直同期信号を基準にリセットされることが好ましい。

この場合、PLL回路の基準パルスおよびフィードバックパルスを出力する第3および第4カウンタを同時にリセットすることができるので、当該PLL回路の発振動作を安定にすることができる。

5 本発明の他の局面に従う映像信号変換方法は、映像信号を記憶するための記憶部を用いて、入力される映像信号を表示装置に適合する映像信号へ変換する映像信号変換方法であって、入力される映像信号を記憶部に書き込むための書き込み制御信号および記憶部に記憶されている映像信号を読み出すための読み出し制御信号を記憶部へ出力し、記憶部への映像信号の入出力を制御するとともに、記憶部に記憶されている映像信号の垂直周波数を変換するステップと、垂直周波数変換ステップにおいて変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換するステップと、インターレース／プログレッシブ変換ステップにおいて変換された映像信号の走査線数を変換するステップと、走査線変換ステップにおいて変換された映像信号の水平画素数を変換するステップと、各ステップにおいて用いられる同期制御信号を発生させるステップとを含む。

10

15

その映像信号変換方法においては、一つの記憶部に記憶されている映像信号の垂直周波数を変換し、垂直周波数変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換し、インターレース／プログレッシブ変換された映像信号の走査線数を変換し、走査線変換された映像信号の水平画素数を変換している。したがって、一カ所に蓄えられた少ないデータ量の映像信号を用いて1つのシステムとして総合的に無駄なく、垂直周波数変換、IP変換、走査線変換および水平画素変換を行い、映像信号を表示装置に適する映像信号に変換することができる。

20

記憶部は、フィールドメモリを含み、垂直周波数変換ステップは、同期制御信号発生ステップにおいて発生される第1のクロックを基準に書き込み動作を行うとともに、同期制御信号発生ステップにおいて発生される第2のクロックを基準に読み出し動作を行う第1のラインメモリを用いて、同期制御信号発生ステップにおいて発生される第1の系統の水平同期信号に応じて映像信号の書き込みおよび読み出し動作を行うステップと、第2のクロックを基準に動作する垂直周波数

25

変換回路を用いて、第1の系統の水平同期信号および同期制御信号発生ステップにおいて発生される第1の系統の垂直同期信号に応じて書き込み制御信号を出力するとともに、同期制御信号発生ステップにおいて発生される第2の系統の水平同期信号および第2の系統の垂直同期信号に応じて読み出し制御信号を出力し、

5 第1のラインメモリから出力される映像信号の垂直周波数を第1の系統の垂直同期信号の周波数から第2の系統の垂直同期信号の周波数へ変換するステップとを含み、インターレース/プログレッシブ変換ステップは、第2のクロックを基準に動作する第2のラインメモリを用いて、第2の系統の水平同期信号に応じて垂直周波数変換回路から出力される映像信号の書き込みおよび読み出し動作を行うステップと、第2のクロックを基準に動作するインターレース/プログレッシブ変換回路を用いて、第2の系統の水平同期信号に応じて、第2のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するステップとを含み、走査線変換ステップは、第2のクロックを基準に動作する第3のラインメモリを用いて、第2の系統の水平同期信号に応じてインターレース/プログレッシブ変換回路から出力される映像信号の書き込み動作を行うとともに、同期制御信号発生ステップにおいて発生される第3の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行うステップと、第2のクロックを基準に動作する走査線変換回路を用いて、第3の系統の水平同期信号および第2の系統の垂直同期信号に応じて、第3のラインメモリから出力される映像信号の走査線数を変換するステップとを含み、水平画素変換ステップは、第2のクロックを基準に動作する水平圧縮回路を用いて、第3の系統の水平同期信号に応じて、走査線変換回路から出力される映像信号の水平画素数を圧縮するステップと、第2のクロックを基準に書き込み動作を行うとともに、同期制御信号発生ステップにおいて発生される第3のクロックを基準に読み出し動作を行う第4のラインメモリを用いて、第3の系統の水平同期信号に応じて、水平圧縮回路から出力される映像信号の書き込みおよび読み出し動作を行うステップと、第3のクロックを基準に動作する水平拡大回路を用いて、第3の系統の水平同期信号に応じて、第4のラインメモリから出力される映像信号の水平画素数を拡大するステップとを含むことが好ましい。

この場合、第1のラインメモリにより入力側のクロックである第1のクロックから装置内部のクロックとなる第2のクロックへ乗せ換えることができるとともに、第4のラインメモリにより第2のクロックから出力側のクロックとなる第3のクロックへ乗せ換えることができる。また、垂直周波数変換回路により入力側の水平同期信号である第1の系統の水平同期信号から装置内部の水平同期信号となる第2の系統の水平同期信号へ乗せ換えることができるとともに、入力側の垂直同期信号である第1の系統の垂直同期信号から出力側の垂直同期信号となる第2の系統の垂直同期信号へ乗せ換えることができる。さらに、第3のラインメモリにより第2の系統の水平同期信号から出力側の水平同期信号となる第3の水平同期信号へ乗せ換えることができる。

したがって、インターレース/プログレッシブ変換および走査線変換に適した高い周波数で内部のクロックを出力することができ、また、フィールドメモリの前後で水平同期信号および垂直同期信号の乗せ換えを行うことができるとともに、走査線変換前に水平同期信号を乗せ換えることができる。この結果、垂直周波数変換、インターレース/プログレッシブ変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

記憶部は、フィールドメモリを含み、インターレース/プログレッシブ変換ステップは、複数のラインメモリを用いて、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じてフィールドメモリから複数のラインメモリの少なくとも一つに映像信号を転送し、複数のラインメモリ間でのデータのローテーションを行うとともに、複数のラインメモリのデータを用いて補間ラインの合成を行い、水平同期信号に応じて複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つのラインメモリから現ラインのデータを読み出すステップを含むことが好ましい。

この場合、インターレース/プログレッシブ変換を行う場合の信号の受け渡しおよびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現す

ることができる。

記憶部は、フィールドメモリを含み、垂直周波数変換ステップは、フィールドメモリの読み出し開始アドレスとして、走査線変換ステップにおいて走査線数を増加させて垂直方向の拡大処理を行う場合にフィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、走査線変換ステップにおいて走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるステップと、アドレス発生ステップにおいて負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入するステップとを含み、同期制御信号発生ステップは、垂直方向の拡大処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を低下させ、垂直方向の縮小処理を行う場合にフィールドメモリの読み出し時の水平同期信号の周波数を高くするステップを含み、垂直周波数変換ステップは、同期制御信号発生ステップにおいて出力される水平同期信号に応じてフィールドメモリの読み出し動作を制御するステップを含むことが好ましい。

15 この場合、フィールドメモリの前後で水平周波数の変換を行い、出力側の水平同期信号およびクロックの周波数の変動を抑制することができるので、次段の回路や表示装置をより安定に動作させることができるとともに、回路構成を簡略化することができる。

記憶部は、フィールドメモリを含み、同期制御信号発生ステップは、垂直周波数変換ステップにおいて入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別するステップを含み、垂直周波数変換ステップは、判別ステップにおいて判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じてフィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すステップを含み、垂直周波数変換ステップは、読み出されたフィールド情報に応じて映像信号を出力するステップを含み、インターレース/プログレッシブ変換ステップは、フィールド内補間によりフィールド情報に応じて出力される映像信号をインターレース信号からプログレッシブ信号へ変換するステップを含むことが好ましい。

この場合、フィールド情報を映像信号にリンクさせて読み出すことにより、垂直周波数変換およびインターレース/プログレッシブ変換を両立することが可能となり、60 Hz よりも高い垂直周波数のインターレース信号にも対応することができる。

- 5 同期制御信号発生ステップは、第1の水平同期信号発生回路を用いて、垂直周波数変換ステップにおける出力側および走査線変換ステップにおける入力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップと、垂直同期信号発生回路を用いて、第1の水平同期信号発生回路から発生される水平同期信号を用いて垂直同期信号を発生させるステップと、第2の水平同期信号発生回路を用いて、走査線変換ステップにおける出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップと、垂直周波数変換ステップにおける入力側の映像信号の垂直同期信号から作成された垂直同期信号および垂直同期信号発生回路から出力される垂直同期信号を受け、垂直周波数変換ステップにおける出力側の基準となる垂直同期信号および走査線変換ステップにおける出力側の基準となる垂直同期信号を作成するための垂直同期信号として、垂直周波数変換ステップにおいて垂直周波数変換を行う場合に垂直同期信号発生回路の垂直同期信号を選択して出力し、垂直周波数変換ステップにおいて垂直周波数変換を行わない場合に垂直周波数変換ステップにおける入力側の映像信号の垂直同期信号から作成された垂直同期信号を選択して出力するステップと、選択ステップにおいて選択された垂直同期信号を基準に第1および第2の水平同期信号発生回路をリセットするステップとを含むことが好ましい。
- 10
- 15
- 20

- このとき、垂直周波数変換処理の後に走査線変換処理を行う場合において、垂直周波数変換の有無に関わらず、第1の水平同期信号発生回路により垂直周波数変換処理の出力側および走査線変換処理の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させ、第1の水平同期信号発生回路とは別の第2の水平同期信号発生回路により走査線変換処理の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させ、垂直周波数変換処理の出力側の基準となる垂直同期信号および走査線変換処理の出力側の基準となる垂直同期信号を作成するための垂直同期信号を基準に第1および第2の水平同期信号発生回
- 25

路をリセットしている。したがって、走査線変換による拡大縮小に関わらず、変換処理全体の出力側の同期信号をほぼ一定に保つことができる。

第 1 の水平同期信号発生回路を用いて水平同期信号を発生させるステップは、第 1 のカウンタを用いて、垂直周波数変換ステップにおける出力側および走査線
5 変換ステップにおける入力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップを含み、垂直同期信号発生回路を用いて垂直同期信号を発生させるステップは、第 2 のカウンタを用いて、第 1 のカウンタから発生される水平同期信号を分周して垂直同期信号を発生させるステップを含み、第 2 の水平同期信号発生回路を用いて水平同期信号を発生させるステップは、第 3 の
10 カウンタを用いて、走査線変換ステップにおける出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、当該水平同期信号を所定のクロックを発生させる PLL 回路の基準パルスとして出力するステップと、第 4 のカウンタを用いて、PLL 回路の分周比を決定し、PLL 回路から出力されるクロックを分周して水平画素変換ステップにおける出力側の基準となる水平
15 同期信号を作成するための水平同期信号を発生させるステップとを含み、第 1 および第 2 の水平同期信号発生回路をリセットするステップは、選択ステップにおいて選択された垂直同期信号を基準に第 1 および第 3 のカウンタをリセットするステップを含むことが好ましい。

この場合、第 1 のカウンタにより垂直周波数変換処理の出力側および走査線変換処理の入力側の基準となる水平同期信号を作成するための水平同期信号を作り直し、第 1 のカウンタとは別の第 3 のカウンタにより走査線変換処理の出力側の
20 基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、PLL 回路の基準パルスを作成し、垂直周波数変換処理の出力側の基準となる垂直同期信号および走査線変換処理の出力側の基準となる垂直同期信号を作成するための垂直同期信号を基準に第 1 および第 3 のカウンタをリセットしている
25 、走査線変換処理による拡大および縮小処理によらず、変換処理全体の出力側の水平同期信号およびクロックをほぼ一定に保つことが可能となる。また、垂直周波数変換以降の各カウンタの設定は、入力される映像信号の周波数や画素数に関わらず、常に走査線変換での変換比のみで決定されるため、各カウンタの設定も

容易となる。

第1および第2の水平同期信号発生回路をリセットするステップは、選択ステップにおいて選択された垂直同期信号を基準に第4のカウンタをリセットするステップをさらに含むことが好ましい。

- 5 この場合、PLL回路の基準パルスおよびフィードバックパルスを出力する第3および第4カウンタを同時にリセットすることができるので、当該PLL回路の発振動作を安定にすることができる。

図面の簡単な説明

- 10 図1は、本発明の第1の実施例による映像信号変換装置の構成を示すブロック図である。

図2は、水平走査期間と有効映像期間との関係を説明するための模式図である。

- 15 図3は、走査線変換前後の水平走査期間と映像期間との関係を説明するためのタイミング図である。

図4は、クロックを乗せ換えた場合の走査線変換前後の水平走査期間と映像期間との関係を説明するためのタイミング図である。

図5は、本発明の第2の実施例による映像信号変換装置の構成を示すブロック図である。

- 20 図6は、図5に示す映像信号変換装置の同期信号のタイミングを説明するための図である。

図7は、図5に示す映像信号変換装置の詳細な構成を示す第1のブロック図である。

- 25 図8は、図5に示す映像信号変換装置の詳細な構成を示す第2のブロック図である。

図9は、図5に示す映像信号変換装置の詳細な構成を示す第3のブロック図である。

図10は、図7に示すメモリ制御部によるフィールドメモリの書き込みおよび読み出し動作を説明するためのタイミング図である。



図 1 1 は、ラインメモリの動作を説明するためのタイミング図である。

図 1 2 は、最適フィルタ補間、フィールド間補間およびフィールド内補間を説明するための模式図である。

5 図 1 3 は、I P 変換を行う場合の走査線変換前後の各ラインを説明するための模式図である。

図 1 4 は、奇数フィールドの場合の I P 変換および走査線変換のデータの転送タイミングを説明するための図である。

図 1 5 は、偶数フィールドの場合の I P 変換および走査線変換のデータの転送タイミングを説明するための図である。

図 1 6 は、I P 変換用のラインメモリを模式的に示す図である。

図 1 7 は、走査線変換用のラインメモリを模式的に示す図である。

図 1 8 は、I P 変換を行わずに走査線変換を行う場合のデータの転送タイミングを説明するための図である。

15 図 1 9 は、I P 変換を行わない場合の走査線変換前後の各ラインを説明するための模式図である。

図 2 0 は、I P 変換のデータの転送タイミングを説明するための図である。

図 2 1 は、水平画素変換の動作を説明するためのタイミング図である。

図 2 2 は、本発明の第 3 の実施例による映像信号変換装置の要部の構成を示すブロック図である。

図 2 3 は、走査線変換による拡大処理時の各水平同期信号のタイミング図である。

図 2 4 は、走査線変換による拡大処理を説明するための表示画像を示す模式図である。

25 図 2 5 は、拡大処理時のフィールドメモリの書き込みおよび読み出しアドレスを説明するための模式図である。

図 2 6 は、走査線変換による縮小処理時の各水平同期信号のタイミング図である。

図 2 7 は、走査線変換による縮小処理を説明するための表示画像を示す模式図である。

図 2 8 は、縮小処理時のフィールドメモリの書き込みおよび読み出しアドレスを説明するための模式図である。

図 2 9 は、本発明の第 4 の実施例による映像信号変換装置の要部の構成を示すブロック図である。

5 図 3 0 は、フィールド判別動作を説明するためのタイミング図である。

図 3 1 は、図 2 9 に示す映像信号変換装置の I P 変換および垂直周波数変換を行う時の動作を説明するためのタイミング図である。

図 3 2 は、本発明の第 5 の実施例による映像信号変換装置の構成を示すブロック図である。

10 図 3 3 は、図 3 2 に示すメモリ出力同期発生部の一例の構成を示すブロック図である。

図 3 4 は、図 3 3 に示すメモリ出力同期発生部の動作の一例を説明するためのタイミング図である。

図 3 5 は、従来の走査線変換回路の構成を示すブロック図である。

15 図 3 6 は、図 3 5 に示す走査線変換回路のフィルタ係数を示す図である。

図 3 7 は、従来の画像処理装置の構成を示すブロック図である。

発明を実施するための最良の形態

以下、本発明の映像信号変換装置の各実施例について説明する。本発明による映像信号変換装置は、PDP（プラズマディスプレイパネル）、液晶パネル等のドットマトリックス表示を行う表示装置に好適に用いられる映像信号を出力するものであり、マトリックス表示を行う表示装置であれば、CRT（陰極線管）等にも用いることができる。

（第 1 の実施例）

25 まず、本発明の第 1 の実施例による映像信号変換装置について説明する。図 1 は、本発明の第 1 の実施例による映像信号変換装置の構成を示すブロック図である。

図 1 に示す映像信号変換装置は、画素変換装置 1 およびフィールドメモリ部 7 を備える。画素変換装置 1 は、メモリ制御処理部 2、I P（インターレース／プ

ログレッシブ) 変換処理部 3、走査線変換処理部 4、水平画素変換処理部 5 および同期処理部 6 を含む。

メモリ制御処理部 2 は、装置外部の A/D (アナログ/デジタル) 変換器 (図示省略) によりデジタル化された映像信号 D/V が入力され、書き込みおよび読み出しアドレス等の制御信号を発生させてフィールドメモリ部 7 へ出力し、フィールドメモリ部 7 との映像信号の受け渡しを行う。

I/P 変換処理部 3 は、メモリ制御処理部 2 から出力される映像信号がインターレース信号であった場合にプログレッシブ信号に変換し、逆にプログレッシブ信号の場合にそのままスルーして走査線変換処理部 4 へ出力する。

走査線変換処理部 4 は、I/P 変換処理部 3 から出力される映像信号の走査線数を増減させて垂直方向の拡大処理および縮小処理を行う。水平画素変換処理部 5 は、走査線変換処理部 4 から出力される映像信号の水平画素数を増減して水平方向の拡大処理および縮小処理を行い、変換された映像信号 T/V を表示装置 (図示省略) へ出力する。

同期処理部 6 は、外部から同期信号 S/Y が入力され、この同期信号 S/Y を基に、メモリ制御処理部 2、I/P 変換処理部 3、走査線変換処理部 4 および水平画素変換処理部 5 の動作を適正に制御するため、所定のクロック、水平同期信号および垂直同期信号を各ブロックに与える。

本実施例では、フィールドメモリ部 7 が記憶部に相当し、メモリ制御処理部 2 が垂直周波数変換処理回路に相当し、I/P 変換処理部 3 がインターレース/プログレッシブ変換処理回路に相当し、走査線変換処理部 4 が走査線変換処理回路に相当し、水平画素変換処理部 5 が水平画素変換処理回路に相当し、同期処理部 6 が同期制御回路に相当する。

次に、上記のように構成された映像信号変換装置の動作について説明する。フィールドメモリ部 7 は、I/P 変換および走査線変換に必要とされるフィールドのデータを蓄え、フィールドメモリ部 7 に蓄えられたデータを用いて、メモリ制御処理部 2 により垂直周波数変換が行われ、I/P 変換処理部 3 により I/P 変換が行われ、走査線変換処理部 4 により走査線変換が行われ、水平画素変換処理部 5 により水平画素変換が行われる。なお、垂直周波数変換、I/P 変換、走査線変換お

よび水平画素変換の各処理は、個別に行ってもよいし、このうちの2つまたは3つの処理のみを行ってもよい。

上記のように、フィールドメモリ部7は、垂直周波数変換が必要な映像信号に対しては垂直周波数変換用のメモリとして用いられ、IP変換が必要な映像信号に対してIP変換用のメモリとして用いられ、走査線変換が必要な映像信号に対しては走査線変換用のメモリとして用いられる。

このように、本実施例では、映像信号を一か所のフィールドメモリ部7に一旦蓄え、フィールドメモリ部7に記憶したデータを用いて、垂直周波数変換、IP変換、走査線変換および水平画素変換の各処理を行うことにより、マトリックス表示を行う表示装置に必要な上記の4つの処理を統合して行うシステムを構築することができるとともに、各処理を分散して個々の回路により行うシステムに対して回路構成を格段に簡略化することができる。

また、水平画素変換処理部5を後段に配置することにより、AD（アナログ／デジタル）変換を行う時のサンプリング周波数を予め低く設定しておき、フィールドメモリ部7に取り込むデータ量を小さくし、最後に水平画素変換処理部5により水平方向の拡大処理を行うことにより、より少ないデータ量で上記の処理を行うことができる。

（第2の実施例）

垂直周波数変換、IP変換、走査線変換および水平画素変換を行う映像信号変換装置を構成する場合、各ブロックの動作を適正に制御するために、同期信号として、複数のクロック、水平同期信号および垂直同期信号が必要となる。

まず、クロックについて説明する。映像信号変換装置の入力側のクロックは、デジタル化された映像信号に同期し、アナログの映像信号をデジタルの映像信号に変換する装置外部のAD変換器のサンプリングクロックと同一のクロックとなる。このサンプリングクロックは、図2に示すように、水平方向に852個の画素を有するディスプレイパネルの場合、水平走査期間 y および有効映像期間 x からサンプリングクロックの分周比は、 $y/x \times 852$ となり、水平走査期間の大半が映像データにより埋まった映像期間となる。

ここで、図3の（a）に示すように、走査線変換により2本の走査線を3本の

走査線に増やし、走査線変換前の2水平走査期間が走査線変換後の3水平走査期間に対応する2→3変換の場合、映像期間が走査線変換前の水平走査期間の2/3以上あった場合、映像期間が走査線変換後の水平走査期間を越えてしまい、全ての映像を写すことができなくなってしまう。

- 5 このため、図3の(b)に示すように、走査線変換後のクロックの周波数を十分に高く設定しておく必要がある。また、IP変換の場合も上記と同様であり、IP変換では水平同期信号の周波数が倍になるため、入力側の水平同期信号の半分の周期で有効映像期間の全データが格納できるように、IP変換後のクロックの周波数も十分に速いものでなければならない。

- 10 一方、出力側のクロックの周波数は、次段の回路が要求するクロックの周波数に設定しなければならない。したがって、垂直周波数変換、IP変換、走査線変換および水平画素変換を行う映像信号変換装置のクロックとしては、サンプリングクロックと同じ入力側のクロックと、IP変換および走査線変換を考慮して周波数が十分に高くなるように設定された内部のクロック、および次段の回路で要求される出力側のクロックの3つのクロックを用いることが好ましい。

15 次に、上記の3種類のクロックの乗せ換えについて説明する。まず、入力側のクロックから内部のクロックへの乗せ換えについて説明する。

入出力のクロックを別々に設定できるデュアルポートのラインメモリやフィールドメモリといったメモリを用いる場合は、クロックの乗せ換えを容易に行うことができるが、フィールドメモリとして一般的に用いられているSDRAM (Synchronous Dynamic Random Access Memory) やSGRAM (Synchronous Graphics Random Access Memory) では、入出力のクロックを別々に設定することができない。このため、クロックを書き込み期間と読み出し期間とで時系列に分割する必要がある。

- 25 しかしながら、メモリの動作周波数が速くなると、このような回路を実現することは非常に困難であり、回路も複雑化してしまう。したがって、フィールドメモリは同一のクロックにより動作させることが好ましい。また、図3を用いて説明したように、IP変換を考慮すると、フィールドメモリの出力は十分に速い周波数であることが好ましい。したがって、入力側のクロックから内部のクロック

への乗せ換えは、フィールドメモリへ入力される前にラインメモリを挿入し、このラインメモリにより行うのが好ましい。

次に、内部のクロックから出力側のクロックへの乗せ換えについて図4を用いて説明する。走査線変換前の有効映像期間が水平走査期間の80%で、走査線変換後の有効映像期間も80%になるようにクロックを設定し、走査線変換用のラインメモリによりクロックの乗せ換えを同時に行う場合、図4の(a)に破線で示すように、ラインメモリの書き込みクロックよりも読み出しクロックが速いため、データの追い越しが発生する。具体的には、読み出し期間の領域Aは直前の書き込み期間の領域Aに対応するが、読み出し期間の領域Bは1ライン前の書き込み期間の領域Bに対応し、正確な走査線変換ができなくなってしまう。

一方、図4の(b)に示すように、走査線変換後にラインメモリを用いてクロックを変化させた場合、追い越しまたは追い越されが発生しない。また、上記のように走査線変換による拡大処理を行う場合等を考慮すると、走査線変換では十分に速い周波数のクロックが必要となるため、内部のクロックから出力側のクロックへの乗せ換えは、走査線変換後の水平画素変換用のラインメモリにより行うことが適切である。

次に、垂直同期信号および水平同期信号の乗せ換えについて説明する。垂直同期信号の乗せ換えは、映像信号を蓄えるメモリがフィールドメモリしか存在しない場合、フィールドメモリを制御するメモリ制御処理部の前後で行い、それと同時に水平同期信号の乗せ換えを行う必要がある。なお、垂直周波数変換を行わない場合は、水平同期信号を乗せ換える必要はないように思われるが、後述するように、水平同期信号は、走査線変換時にも乗せ換える必要がある。したがって、垂直同期信号としては、入力側の垂直同期信号および出力側の垂直同期信号の2つの系統の垂直同期信号を用い、水平同期信号としては、入力側の水平同期信号、内部の水平同期信号および出力側の水平同期信号の3つの系統の水平同期信号を用いることが好ましい。

次に、本発明の第2の実施例による映像信号変換装置について説明する。図5は、本発明の第2の実施例による映像信号変換装置の構成を示すブロック図である。上記の検討に基づき、本実施例では、クロックとしては入力側のクロック、

内部のクロックおよび出力側のクロックの3つのクロックを用い、垂直同期信号としては入力側の垂直同期信号および出力側の垂直同期信号の2つの系統の垂直同期信号を用い、水平同期信号としては入力側の水平同期信号、内部の水平同期信号および出力側の水平同期信号の3つの系統の水平同期信号を用い、それぞれ
5 の切り替えを後述するようにして行っている。

図5に示す映像信号変換装置は、水平フィルタ11、ラインメモリ12、31、51、81、フィールドメモリ部7、メモリ制御部21、IP変換部41、走査線変換部61、水平圧縮部71、水平拡大部91および同期処理部6を備える。

水平フィルタ11は、所定のサンプリングクロックで外部のAD変換器（図示省略）によりデジタル化された映像信号DVを入力され、このサンプリングクロックと同一の入力側のクロックである第1のクロックCLK1によりエッジエンハンス処理、LPF（ローパスフィルタ）処理等の水平方向の処理を行う。なお、水平フィルタ11は必要に応じて付加されるものであり、省略することも可能
15 である。

ラインメモリ12は、デュアルポートのラインメモリであり、書き込みクロックとして第1のクロックCLK1が入力され、読み出しクロックとして内部のクロックとなる第2のクロックCLK2が入力され、入力側の水平同期信号である第1の系統の水平同期信号H1に応じて動作する。

メモリ制御部21の入力側（書き込み制御側）には、第1の系統の水平同期信号H1および入力側の垂直同期信号である第1の系統の垂直同期信号V1が入力され、その出力側（読み出し制御側）には、内部の水平同期信号である第2の系統の水平同期信号H2および出力側の垂直同期信号である第2の系統の垂直同期信号V2が入力され、動作クロックは、第2のクロックCLK2である。メモリ
25 制御部21は、上記の各信号に従い、書き込みおよび読み出しアドレス等の制御信号を発生させ、フィールドメモリ部7に対して映像信号の入出力を行うとともに、映像信号の垂直周波数を第1の系統の垂直同期信号V1の周波数から第2の系統の垂直同期信号V2の周波数へ変換する。

ラインメモリ31は、IP変換用のデータを蓄えるラインメモリであり、入出

力ともに第2のクロックCLK2を基準にして第2の系統の水平同期信号H2に応じて動作する。IP変換部41は、第2のクロックCLK2、第2の系統の水平同期信号H2および第2の系統の垂直同期信号V2により動作し、前段のラインメモリ31から出力されるデータを用いてIP変換のための所定の演算を行い、入力される映像信号がプログレッシブ信号の場合はスルーする。

ラインメモリ51は、走査線変換用のデータを蓄えるラインメモリであり、第2の系統の水平同期信号H2から出力側の水平同期信号である第3の系統の水平同期信号H3への乗せ換えを行い、動作クロックは第2のクロックCLK2である。走査線変換部61は、第2のクロックCLK2、第3の系統の水平同期信号H3および第2の系統の垂直同期信号V2により動作し、ラインメモリ51に蓄えたデータを用いて走査線変換のための所定の演算を行う。

水平圧縮部71は、第2のクロックCLK2および第3の系統の水平同期信号H3により動作し、走査線変換部61から出力される映像信号に水平圧縮処理を行い、その演算結果をラインメモリ81に格納する。ラインメモリ81は、水平画素変換用のデータを蓄えるラインメモリであり、第2のクロックCLK2から出力側のクロックである第3のクロックCLK3への乗せ換えを行い、書き込み側のクロックは第2のクロックCLK2となり、読み出し側のクロックは第3のクロックCLK3となり、第3の系統の水平同期信号H3に応じて動作する。

水平拡大部91は、第3のクロックCLK3を基準にして第3の系統の水平同期信号H3に応じて動作し、ラインメモリ81に蓄えられたデータを用いて水平拡大処理を行う。同期処理部6は、外部から所定の同期信号SYを受け、同期信号として各ブロックへ上記の第1ないし第3のクロックCLK1～CLK3、第1ないし第3の系統の水平同期信号H1～H3ならびに第1および第2の系統の垂直同期信号V1、V2を出力する。

図6は、図5に示す映像信号変換装置の各同期信号を説明するためのタイミング図である。図6に示すように、第1のクロックCLK1系の同期信号には、入力側の水平同期信号である第1の水平同期信号H11と、入力側の垂直同期信号である第1の垂直同期信号V11とがある。

第2のクロックCLK2系の同期信号には、第1の水平同期信号H11を第2

のクロックCLK2でラッチし直した第1のラッチ水平同期信号H12と、第1の垂直同期信号V11を第2のクロックCLK2でラッチし直した第1のラッチ垂直同期信号V12とがあり、また、第2の水平同期信号H21と、第2の水平同期信号H21を半位相遅らせた第2の遅延水平同期信号H2Dと、第2の水平同期信号H21の倍周波数の第2の倍水平同期信号H2Hと、垂直周波数変換後（フィールドメモリ後）の第2の垂直同期信号V21があり、また、走査線変換後には、第3の水平同期信号H31と、第2の垂直同期信号V21を第3の水平同期信号H31で同期させた第2のラッチ垂直同期信号V2Pとがある。

第3のクロックCLK3系には、第3の水平同期信号H31を第3のクロックCLK3でラッチし直した第3のラッチ水平同期信号H33がある。

上記の同期信号のうち、第1の水平同期信号H11および第1のラッチ水平同期信号H12が第1の系統の水平同期信号H1となり、第1の垂直同期信号V11および第1のラッチ垂直同期信号V12が第1の系統の垂直同期信号V1となり、第2の水平同期信号H21、第2の遅延水平同期信号H2Dおよび第2の倍水平同期信号H2Hが第2の系統の水平同期信号H2となり、第2の垂直同期信号V21および第2のラッチ垂直同期信号V2Pが第2の系統の垂直同期信号V2となり、第3の水平同期信号H31および第3のラッチ水平同期信号H33が第3の系統の水平同期信号H3となり、それぞれ同期制御部6から各ブロックへ出力される。

なお、IP変換時に水平同期信号および垂直同期信号が同位相である場合を奇数フィールドとし、半位相ずれている場合を偶数フィールドとする。また、IP変換をしない場合、第2の水平同期信号H21、第2の遅延水平同期信号H2Dおよび第2の倍水平同期信号H2Hは同じ信号となる。

上記の各同期信号がどのように供給されるかについてさらに詳細に説明する。

図7ないし図9は、図5に示す映像信号変換装置の構成をさらに具体的に示すブロック図である。

図7に示すAD変換器8は、図5に示す映像信号変換装置外部に配置され、アナログの映像信号AVをデジタルの映像信号に変換して水平フィルタ11へ出力する。水平フィルタ11には、AD変換器8のサンプリングクロックと同一の第

1のクロックCLK1が供給される。

ラインメモリ12は、2本の並列に並んだラインメモリ14a、14b、切り換え回路13、15を含む。ラインメモリ12の書き込み側には第1のクロックCLK1および第1の水平同期信号H11が供給され、その読み出し側には第2のクロックCLK2および第1のラッチ水平同期信号H12が供給される。

フィールドメモリ部7は、フィールドメモリ7a、7b、7cを含み、本実施例の場合、フィールドメモリ7a、7b、7cには、32ビット幅の16Mビットの容量を有するSDRAMが用いられている。

メモリ制御部21は、書き込み制御部22、読み出し制御部23、ビット幅変換部24およびビット幅逆変換部25を含む。メモリ制御部21は、3つのフィールドメモリ7a、7b、7cを制御する。

書き込み制御部22は、第2のクロックCLK2、第1のラッチ水平同期信号H12および第1のラッチ垂直同期信号V12を供給され、書き込みアドレスおよび制御信号を発生させ、フィールドメモリ7a、7b、7cの書き込み動作を制御する。

読み出し制御部23は、第2のクロックCLK2、第2の水平同期信号H21、第2の遅延水平同期信号H2D、第2の倍水平同期信号H2Hおよび第2の垂直同期信号V21を供給され、読み出しアドレスおよび制御信号を発生させ、フィールドメモリ7a、7b、7cの読み出し動作を制御する。

ビット幅変換部24は、ラインメモリ12から出力される映像信号のビット幅をフィールドメモリ7a、7b、7cのビット幅である32ビット幅に変換してフィールドメモリ7a、7b、7cのうちの一つへ出力する。ビット幅逆変換部25は、フィールドメモリ7a、7b、7cから出力される32ビット幅のデータを次段のラインメモリ31が要求するビット幅に変換した信号S1～S3を図8に示すラインメモリ31へ出力する。

次に、図8に示すラインメモリ31は、ラインメモリ32b、32c、33b、33c、33d、34b、34cを含む。ラインメモリ31は、IP変換用のデータを蓄えるラインメモリであり、その書き込み側には第2のクロックCLK2および第2の遅延水平同期信号H2Dが供給され、その読み出し側には第2の

クロックCLK 2、第2の水平同期信号H 2 1および第2の遅延水平同期信号H 2 Dが供給される。

ラインメモリ3 2 b, 3 2 cは直列に接続され、ラインメモリ3 3 b, 3 3 c, 3 3 dは直列に接続され、ラインメモリ3 4 b, 3 4 cは直列に接続され、それぞれ読み出しと次段の書き込みが同時に発生するように構成されている。

ラインメモリ3 2 b, 3 2 cは、N+1フィールド（後フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部7からのスルー出力PRE A、ラインメモリ3 2 bの出力PRE B、ラインメモリ3 2 cの出力PRE Cの順に古いラインの出力となる。

ラインメモリ3 3 b, 3 3 c, 3 3 dは、Nフィールド（自フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部7からのスルー出力MID A、ラインメモリ3 3 bの出力MID B、ラインメモリ3 3 cの出力MID C、ラインメモリ3 3 dの出力MID Dの順に古いライン出力となる。

ラインメモリ3 4 b, 3 4 cは、N-1フィールド（前フィールド）のデータを蓄えるラインメモリであり、フィールドメモリ部7からのスルー出力POSA、ラインメモリ3 4 bの出力POSB、ラインメモリ3 4 cの出力POSCの順に古いラインの出力となる。

IP変換部4 1は、ハイパスフィルタ4 2 a, 4 2 b、ローパスフィルタ4 3、補間ライン合成部4 4および切り換え回路4 5を含む。IP変換部4 1は、第2のクロックCLK 2、第2の水平同期信号H 2 1および第2の倍水平同期信号H 2 Hにより動作する。

ハイパスフィルタ4 2 aは、N+1フィールドの3ライン分のハイパスフィルタであり、ローパスフィルタ4 3は、Nフィールドの4ライン分のローパスフィルタであり、ハイパスフィルタ4 2 bは、N-1フィールドの3ライン分のハイパスフィルタである。

補間ライン合成部4 4は、ハイパスフィルタ4 2 a, 4 2 bおよびローパスフィルタ4 3の出力から補間ラインを合成し、切り換え回路4 5へ出力する。切り換え回路4 5は、補間ラインの出力と現ラインの出力MID Cとを切り換えて出力し、入力される信号がプログレッシブ信号である場合、常に現ライン側を選択

する。なお、ラインメモリ 31 および IP 変換部 41 として、図 35 に示す走査線変換回路と同様のものを用いたが、この例に特に限定されず、他の IP 変換を行う回路を用いてもよい。

5 ラインメモリ 51 は、ラインメモリ 52a ~ 52d を含む。ラインメモリ 51 は、走査線変換用のデータを蓄えるラインメモリであり、その書き込み側は第 2 のクロック CLK2 および第 2 の倍水平同期信号 H2H により制御され、読み出し側は第 2 のクロック CLK2 および第 3 の水平同期信号 H31 により制御される。ラインメモリ 52a ~ 52d は、読み出しと次段の書き込みとが同時に発生するように構成され、出力 PA ~ PD をそれぞれ出力する。

10 走査線変換部 61 は、係数発生部 62、乗算器 63a ~ 63d および加算器 64 を含む。走査線変換部 61 は、第 2 のクロック CLK2、第 3 の水平同期信号 H31 および第 2 のラッチ垂直同期信号 V2P により動作する。

乗算器 63a ~ 63d は、ラインメモリ 51 の出力 PA ~ PD の各データと係数発生部 62 により発生される係数とを掛け合わせる。加算器 64 は、乗算器 63a ~ 63d から出力されるデータを加算し、走査線変換後の映像データ S4 を図 9 に示す水平圧縮部 71 へ出力する。なお、走査線変換部 61 として、図 37 に示す画像処理装置と同様のものを用いたが、この例に特に限定されず、他の走査線変換を行う回路を用いてもよい。

20 次に、図 9 に示す水平圧縮部 71 は、第 2 のクロック CLK2 により動作し、係数発生部 72、ラッチ回路 73、乗算器 74a、74b および加算器 75 を含む。乗算器 74a は、係数発生部 72 から出力される係数と走査線変換後の映像データ S4 とを乗算し、乗算器 74b は、係数発生部 72 から出力される係数と走査線変換後の映像データ S4 をラッチ回路 73 により 1T (1クロック) でラッチしたデータとを乗算する。加算器 75 は、乗算器 74a の出力および乗算器 74b の出力を加算し、ラインメモリ 81 へ出力する。

25 ラインメモリ 81 は、水平画素変換用のデータを蓄えるラインメモリであり、その書き込み側は第 2 のクロック CLK2 および第 3 の水平同期信号 H31 により動作し、その読み出し側は第 3 のクロック CLK3 および第 3 のラッチ水平同期信号 H33 により動作する。

水平拡大部 9 1 は、第 3 のクロック CLK 3 により動作し、係数発生部 9 2、ラッチ回路 9 3、乗算器 9 4 a、9 4 b および加算器 9 5 を含む。水平拡大部 9 1 は、水平圧縮部 7 1 と同様に構成され、係数発生部 9 2 から出力される係数とラインメモリ 8 1 から出力されるデータとを乗算し、変換後の映像信号 TV を出力する。

なお、本実施例では、例えば、映像信号のビット幅が 8 ビット幅で RGB 方式の映像信号の場合、8 ビット \times 3 = 24 ビット幅に対応する回路が設けられ、また、YUV 方式の映像信号の場合、各ブロックを Y 系と UV 系とに分けて構成してもよい。

本実施例では、フィールドメモリ部 7 が記憶部に相当し、ラインメモリ 1 2 およびメモリ制御部 2 1 が垂直周波数変換処理回路に相当し、ラインメモリ 3 1 および IP 変換部 4 1 がインターレース/プログレッシブ変換処理回路に相当し、ラインメモリ 5 1 および走査線変換部 6 1 が走査線変換処理回路に相当し、水平圧縮部 7 1、ラインメモリ 8 1 および水平拡大部 9 1 が水平画素変換処理回路に相当し、同期処理部 6 が同期制御回路に相当する。また、ラインメモリ 1 2 が第 1 のラインメモリに相当し、メモリ制御部 2 1 が垂直周波数変換回路に相当し、ラインメモリ 3 1 が第 2 のラインメモリに相当し、IP 変換部 4 1 がインターレース/プログレッシブ変換回路に相当し、ラインメモリ 5 1 が第 3 のラインメモリに相当し、走査線変換部 6 1 が走査線変換回路に相当し、水平圧縮部 7 1 が水平圧縮回路に相当し、ラインメモリ 8 1 が第 4 のラインメモリに相当し、水平拡大部 9 1 が水平拡大回路に相当する。

以下、上記のように構成された映像信号変換装置の各ブロックの動作およびデータの受け渡しについて説明する。

まず、ラインメモリ 1 2 について説明する。ラインメモリ 1 2 は、クロックの乗せ換えすなわち第 1 のクロック CLK 1 から第 2 のクロック CLK 2 への乗せ換えを行うとともに、フィールドメモリ 7 a、7 b、7 c へ書き込むデータのバッファ的役割を行う。IP 変換を行う場合、3 つのフィールドの情報が必要になるため、3 つのフィールドメモリ 7 a、7 b、7 c のすべてが読み出し動作を行う。この場合、読み出し動作と書き込み動作とが一致しないようにするためには

、4つのフィールドメモリを持てばよいが、不経済となる。したがって、読み出し期間の間を縫って書き込み処理を行うことができるように、ラインメモリ12が挿入される。

次に、メモリ制御部21によるフィールドメモリ7a~7cの書き込みおよび読み出し動作について説明する。図10は、メモリ制御部21によるフィールドメモリ7a~7cの書き込みおよび読み出し動作を説明するためのタイミング図である。

図10の(a)に示すように、IP変換および垂直周波数変換を行わない場合、フィールドメモリ7aに書き込まれたデータは、次のフィールドで読み出される。このとき、フィールドメモリ7bが書き込み状態にあり、すなわち3つのフィールドメモリ7a~7cのうちの1つが書き込み状態にあり、他の1つが読み出し状態にあり、残りの一つは何もしない状態にある。

図10の(b)に示すように、IP変換を行う場合、フィールドメモリ7a~7cに書き込まれた各データは3フィールド間保持され、書き込まれた次のフィールドから3回読み出されることになる。例えば、フィールドメモリ7aに書き込まれたデータは、2フィールド遅れて自フィールド(Nフィールド)のデータとして出力される。この場合、例えば、フィールドメモリ7aに書き込みが発生している場合でも、フィールドメモリ7aから読み出しが発生する。つまり、2つのフィールドメモリが書き込み状態と読み出し状態とを時分割に切り換え、残りの2つのフィールドメモリが読み出し状態にある。このとき、IP変換処理の都合上、読み出しを優先することになるため、以下に説明するように、フィールドメモリ7a~7cの書き込みバッファ用のラインメモリ12が必要になる。

図10の(c)に示すように、垂直周波数変換、例えば4→3変換すなわち垂直周波数を80Hzから60Hzへ変換する場合、4フィールドのデータを書き込んでもそのうち1回のデータは不要なデータとなる。したがって、垂直周波数変換を行うときは、この不要データを書き込まないように予め処理する。具体的には、読み出し側の1フィールド期間内に第1のラッチ垂直同期信号V12(入力側の垂直同期信号)が2回入力されたフィールドの次のフィールドを書き込まないように制御する。この結果、読み出し時は3つのフィールドメモリ7a~7

c のデータがフィールドごとに順に読み出されることになる。このとき、3つのフィールドメモリ 7 a ~ 7 c のうちの1つが書き込み状態にあり、他の1つが読み出し状態にあり、残りの一つは何もしない状態にある。

次に、ラインメモリ 1 2 に2本のラインメモリ 1 4 a, 1 4 b を並列に用いている理由について説明する。これは、IP 変換時に第1のラッチ水平同期信号 H 1 2 の周波数を第2の水平同期信号 H 2 1 の周波数へ変換する必要があるためである。その原理について、図 1 1 を用いて説明する。

フィールドメモリ部 7 への書き込みが第1のラッチ水平同期信号 H 1 2 により制御されるのに対し、図 1 1 に示す第2の水平同期信号 H 2 1 によりフィールドメモリ部 7 から読み出しが行われている場合、ラインメモリ 1 4 a, 1 4 b では、書き込みが優先され、書き込まれていない期間でフィールドメモリ部 7 へデータが読み出される。

一方、図 1 0 を用いて説明したように、IP 変換時に、フィールドメモリ部 7 は、書き込まれている間に読み出しも同時に行わなければならない。この場合、フィールドメモリ部 7 では読み出しが優先されるので、読み出しが発生していない期間にラインメモリ 1 4 a, 1 4 b からのデータを受けなければならない。また、入力側の第1のクロック CLK 1 に対して内部の第2のクロック CLK 2 は十分に高い周波数であるため、IP 変換時では、ラインメモリ 1 4 a, 1 4 b の書き込み期間に対して読み出し期間が短くなる。

これらの条件を総合すると、図 1 1 の (a) に示すように、1本のラインメモリでは、期間 1 7 1 のようにどうしても書き込みに対して読み出しの追い越しが発生してしまい、1ライン分の出力に対して、複数のラインの情報が混在してしまう。これを避けるために2本のラインメモリが用いられ、図 1 1 の (b) に示すように、ラインメモリ 1 4 a, 1 4 b に書き込まれたデータは、第1のラッチ水平同期信号 H 1 2 が次に入力されるまで保持され、次の第1のラッチ水平同期信号 H 1 2 が入力されかつフィールドメモリ部 7 が読み出し状態にない場合に、保持していたデータをフィールドメモリ部 7 へ書き込む。

このようにして、IP 変換時のように1つのフィールドメモリに対して書き込みと読み出しとが混在する場合でも、データの追い越しを避け、第1のラッチ水平

同期信号H 1 2を第2の水平同期信号H 2 1に変換することができる。

次に、I P変換について説明する。図1 2は、最適フィルタ補間、フィールド間補間およびフィールド内補間によるI P変換の例を説明するための模式図である。なお、図中、白丸は補間処理に用いられるラインを示し、黒丸は補間ラインを示す。

本実施例では、上記したように、図1 2の(a)に示すように、I P変換用のラインメモリ3 1からの出力を用いて最適フィルタ補間によりI P変換を行っている。I P変換としては、その他にも図1 2の(b)に示すように、前フィールドのデータをそのままもってくるフィールド間補間、図1 2の(c)に示すように自フィールドの上下の2つのラインから平均をとるフィールド内補間があり、前者は静止画に適し、後者は動画に適する。また、フィールド間補間およびフィールド内補間を動き検出することにより段階的に切り換えている方法も一般的に広く用いられている。このように、I P変換は、上記の最適フィルタ補間による例に特に限定されず、上記のような他の種々のI P変換を用いてもよい。

次に、I P変換および走査線変換におけるデータの転送タイミングについて説明する。

図1 3は、I P変換を行う場合の走査線変換前後の各ラインを説明するための模式図である。図1 3に示すラインA、ラインC、ラインE、ラインG、ラインI、ラインK、…は、入力される映像信号に実際にあるラインであり、ハッチングで示したラインB、ラインD、ラインF、ラインH、ラインJ、…は、I P変換により補間されるラインである。

また、図1 3に示すように、I P変換後のラインに対して4 → 3変換の走査線変換を行い、奇数フィールドのラインAの位置に変換後の始めのライン1が位置する場合、変換後のラインの位置は、ライン1、ライン2、ライン3、ライン4、ライン5、ライン6、ライン7、ライン8、…となる。一方、偶数フィールドの場合には、奇数フィールドと比較して各ラインが半ライン分遅れるため、奇数フィールドのラインBの位置にラインAが位置することになる。したがって、ライン4を作成する場合、奇数フィールドではラインEのデータを最も強く反映させ、偶数フィールドではラインDのデータを最も強く反映させるようにしなければ



ばならない。上記のように、IP変換および走査線変換を行う場合、各データは以下のタイミングで転送され処理される。

図14は、奇数フィールドの場合のIP変換および走査線変換のデータの転送タイミングを説明するための図であり、図15は、偶数フィールドの場合のIP変換および走査線変換のデータの転送タイミングを説明するための図である。なお、図14および図15では、IP変換用のラインメモリ32b, 32c, 33b~33d, 34b, 34cを図16に示すように模式的に表し、走査線変換用のラインメモリ52a~52dを図17に示すように模式的に表している。

まず、図14に示す奇数フィールドの場合について説明する。フィールドメモリ7a~7cから出力される映像データは、第2の水平同期信号H21に対して半位相ずれた第2の遅延水平同期信号H2Dに同期して転送される。

例えば、第2の遅延水平同期信号H2Dを基準にして、ラインAのデータを出力MIDAとして転送すると同時にライン33bに書き込みを行う。このとき、N-1およびN+1フィールドのラインAは偶数フィールドであるため、半位相遅れており、まだ転送されない。

次の第2の遅延水平同期信号H2Dが入力されると、ラインCのデータが出力MIDAとして転送され、N+1およびN-1フィールドのラインAのデータが出力PREA、POSAとして転送されると同時にラインメモリ33b, 32b, 34bに書き込まれ、ラインメモリ33bのデータが次段のラインメモリ33cに書き込まれる。

この結果、ラインメモリ33cにはNフィールドのラインAのデータが、ラインメモリ33bにはNフィールドのラインCのデータが、ラインメモリ32bにはN+1フィールドのラインAのデータが、ラインメモリ34bにはN-1フィールドのラインAのデータがそれぞれ蓄えられることになる。

次に、第2の水平同期信号H21が入力されると、ラインメモリ33cの出力MIDCのみが出力され、このとき、他のラインメモリのデータは次段のラインメモリへは書き込まれない。

次に、第2の遅延水平同期信号H2Dが入力されると、NフィールドのラインEのデータならびにN-1およびN+1フィールドのラインCのデータがフィー

ルドメモリ 7 a ~ 7 c から転送され、補間ライン B のデータが合成されるとともに、次段のラインメモリへの書き込みが発生する。

5 このように、第 2 の遅延水平同期信号 H 2 D が入力されると、フィールドメモリ 7 a ~ 7 c からデータが転送され、同時にラインメモリのデータが次段のラインメモリへ書き込まれてラインメモリ間でのデータのローテーションが行われ、さらに補間ラインが合成される。また、第 2 の水平同期信号 H 2 1 が入力されると、ラインメモリ 3 3 c の出力 M I D C のみが現ラインのデータとして出力される。

10 次に、走査線変換用のラインメモリ 5 1 には、I P 変換部 4 1 からデータが転送され、第 2 の倍水平同期信号 H 2 H に同期して新しいラインのデータが書き込まれ、同時に古いデータが消去されるように、次段のラインメモリへの転送が行われる。

15 一方、ラインメモリ 5 1 の読み出しは、第 3 の水平同期信号 H 3 1 に同期して行われ、同時に係数発生部 6 2 からの出力に応じて演算が行われる。このとき、係数発生部 6 2 から走査線変換前のラインと走査線変換後のラインとの位相によって適当な係数が発生される。例えば、ライン A と同位相にあるライン 1 に対しては、係数 1 が発生され、ライン A のデータそのものが転送される。

20 また、ライン B とライン C とを 1 : 2 の割合で分割した位置にあるライン 2 を合成する場合、ライン B に対して係数 $2/3$ が、ライン C に対して係数 $1/3$ が、その他のラインに対して係数 0 がそれぞれ掛け合わされ、加算器 6 4 により常にゲインが 1 となるように制御される。以降、図 1 4 中に示された各係数により上記と同様に乗算が行われていく。

25 このようにして合成されたデータが、水平圧縮部 7 1 を介してラインメモリ 8 1 へ書き込まれる。なお、図 1 4 では走査線変換として 4 → 3 変換の場合を示し、4 周期分の第 2 の倍水平同期信号 H 2 H に対して 3 周期分の第 3 の水平同期信号 H 3 1 が対応している。また、第 2 の倍水平同期信号 H 2 H と第 3 の水平同期信号 H 3 1 との位相関係も係数 1 となるライン 1 を合成するとき一致するように、第 2 の倍水平同期信号 H 2 H および第 3 の水平同期信号 H 3 1 が同期処理部 6 により作成される。

次に、偶数フィールドの場合について説明する。図15に示すように、偶数フィールドの場合、前後のフィールドのデータは、自フィールドのデータに対して半位相進んだ状態にある。したがって、フィールドメモリ7a~7cからラインAのデータが3フィールドともに同時に転送され、それぞれ出力PREA, MIDA, POSAとして出力され、同時にラインメモリ32b, 33b, 34bへ書き込まれる。その後、奇数フィールドと同様に、第2の遅延水平同期信号H2Dに同期してフィールドメモリ7a~7cからの転送および次段のラインメモリへの書き込みが行われ、第2の水平同期信号H21に同期して現ラインのデータが出力MIDCとして転送される。

次に、偶数フィールドの走査線変換について説明する。奇数フィールドの場合、ラインCのデータを走査線変換用のラインメモリ51へ転送した時点で、ライン1としてラインAをラインメモリ52cから読み出していた。一方、偶数フィールドの場合、ライン1の合成は、ラインBのデータを転送した時点で行われ、ラインAのさらに上にあるラインすなわち黒ラインのデータをラインメモリ52cから読み出すことになる。以降、奇数フィールドと同様に、ライン2は、例えばラインAのデータが2/3倍にされ、ラインBのデータが1/3倍にされ、両者が加算されて合成され、水平圧縮部71を介して水平画素変換用のラインメモリ81へ書き込まれる。

次に、IP変換を行わずに走査線変換を行う場合について説明する。図18は、IP変換を行わずに走査線変換を行う場合のデータの転送タイミングを説明するための図であり、図19は、IP変換を行わない場合の走査線変換前後の各ラインを説明するための模式図である。

図18および図19に示すように、IP変換を行わない場合、第2の水平同期信号H21、第2の遅延水平同期信号H2D、第2の倍水平同期信号H2Hがすべて同じ信号となり、現ラインの処理のみとなる。したがって、第2の遅延水平同期信号H2Dが入力されると、自フィールドのデータのみがフィールドメモリ7a~7cから転送され、同時に前段のラインメモリから次段のラインメモリへ順次データが書き込まれていくという手順をとる。また、走査線変換用のラインメモリ51への転送では、第2の水平同期信号H21 (=第2の遅延水平同期信

号H2D、第2の倍水平同期信号H2H)に同期して出力MIDCのデータが転送される。なお、走査線変換部61の動作は、図14に示す奇数フィールドの場合と同様である。

次に、IP変換時のデータ転送タイミングについてさらに詳細に説明する。図20は、IP変換時のデータ転送タイミングを説明するための図であり、前述した図14および図15を書き直した図である。

図20の(a)に示すように、映像信号として、フィールドA、B、C、Dが順に入力され、その同期信号である第1の水平同期信号H11および第1の垂直同期信号V11の位相関係から、フィールドA、Cが偶数フィールドであり、フィールドB、Dが奇数フィールドであり、各フィールドのライン番号が垂直期間の始めから例えばフィールドAではA1、A2、A3、...であり、また、有効映像期間として、フィールドメモリ7a~7cに蓄えられるラインは5番目のラインA5、B5、C5、D5、...からであると仮定する。この場合のフィールドメモリ7a~7cの出力シーケンスが図20の(b)および(c)に示されている。

まず、奇数フィールドの処理として、フィールドBに対する補間ラインを作成する場合について考える。図20の(b)に示すように、第2の垂直同期信号V21が入力されて2ライン目から転送が開始されると仮定すると、図14に示す場合と同様に第2の遅延水平同期信号H2Dによりフィールドメモリ7a~7cからの転送が発生し、まず、NフィールドのラインB5のデータが出力MIDAとして転送されるとともに、同時にラインメモリ33bに書き込まれる。このとき、N+1フィールドの出力PREA、N-1フィールドの出力POSAには出力は現れない。

このようにして、第2の遅延水平同期信号H2Dを基準にして、例えば、出力MIDAにラインB8のデータが出力された時は、出力MIDBにはラインB7のデータが、出力MIDCにはラインB6のデータが、出力MIDDにはラインB5のデータが、出力POSAにはラインA7のデータが、出力POSBにはラインA6のデータが、出力POSCにはラインA5のデータが、出力PREAにはラインC7のデータが、出力PREBにはラインC6のデータが、出力PRE

CにはラインC 5のデータがそれぞれ出力される。これらのすべてのデータまたは一部のデータを利用して、ラインB 7とラインB 6との間の補間ラインが合成され、同時に次段のラインメモリに順に各データが書き込まれ、データのローテーションがおこる。

- 5 次第2の水平同期信号H 2 1が入力された時は、出力M I D CにはラインB 7のデータが書き込まれているため、出力M I D Cのみから現ラインB 7のデータが転送される。

10 このように、I P変換を行う期間は、第2の遅延水平同期信号H 2 Dに同期してフィールドメモリ7 a～cからのデータの転送、次段のラインメモリへのデータのローテーションおよび補間ラインの合成を行う補間ライン合成期間1 5 1と、第2の水平同期信号H 2 1に同期して現ラインのデータを読み出す現ライン転送期間1 5 2とに分けられ、I P変換が行われる。

- 15 最後に、水平画素変換について説明する。図2 1は、水平画素変換の動作を説明するためのタイミング図である。上記したように、水平画素変換を行うブロックは、縮小処理を行う水平圧縮部7 1と拡大処理を行う水平拡大部9 1とに分けられている。

水平圧縮部7 1による縮小処理は、ラインメモリ8 1への書き込み時に行われる。図2 1の(a)は、水平画素変換として3→2変換を行う例を示しており、この場合、3→2変換であるため、第2のクロックC L K 2の3クロックに1回はラインメモリ8 1への書き込みが発生しないことになる。なお、水平圧縮部7 1において、変換する画素の位置に応じた係数が係数発生部7 2から供給されて演算される処理は、走査線変換部6 1と基本的に同様である。

- 25 水平拡大部9 1による拡大処理は、ラインメモリ8 1の読み出し時に行われる。図2 1の(b)では、水平画素変換として2→3変換を行う例を示しており、この場合、第3のクロックC L K 3の3クロックに1回はラインメモリ8 1から読み出しが発生しないことになる。なお、水平拡大部9 1において、変換する画素の位置に応じた係数が係数発生部9 2から供給されて演算される処理は、走査線変換部6 1と基本的に同様である。

ここで、上記の拡大処理および縮小処理を同時に行う場合の不都合について説

明する。図 2-1 の (c) に示すように、ラインメモリ 81 の書き込み時に拡大処理を行おうとすると、1 クロック (1 T) の期間中に 2 つのデータを同時に作らなければならない。このような回路は複雑になってしまい、拡大率が大きくなった場合には、同時に作成する画素数がさらに増加するため、あまり好ましくない。

5 . したがって、水平画素変換に関しては、本実施例のように、水平圧縮部 71 と水平拡大部 91 とを別々に使用し、その間に水平画素変換用のデータを蓄えるラインメモリ 81 を配置し、さらにラインメモリ 81 によりクロックの書き換えを行うことが好ましい。

10 上記のように、本実施例では、垂直周波数変換、IP 変換、走査線変換および水平画素変換を行う個別のブロック間で信号の受け渡しを適切なタイミングで行うことができ、また、IP 変換を行う場合の信号の受け渡しおよびそのタイミングを明確にすることができ、マトリックス表示を行う表示装置に適した映像信号への変換に要求される信号処理を総合的かつに簡単に実現することができる。

(第 3 の実施例)

15 次に、本発明の第 3 の実施例について説明する。本実施例では、垂直周波数変換およびフィールドメモリの前後で水平周波数の変換 (第 1 のラッチ水平同期信号 H12 の周波数から第 2 の水平同期信号 H21 の周波数への変換) を行わない場合に走査線変換を行うものである。

20 例えば、走査線変換として 2 → 3 変換の拡大処理を行う場合、走査線変換後の第 3 の水平同期信号 H31 は、第 1 の水平同期信号 H11 の 1.5 倍の周波数となる。この場合、単純に出力側のクロック周波数も 1.5 倍のものが必要となり、次段の回路には、高い周波数に対応可能な回路が要求される。一方、縮小処理として 3 → 2 変換を行う場合、例えば第 1 の水平同期信号 H11 のライン数が 525 本であったとすると、変換後の第 3 の水平同期信号 H31 のライン数は、

25 $525 \times 2 / 3 = 350$ ラインとなってしまう。このとき、垂直方向の画素数が 480 ラインであるディスプレイパネルに映像を出画する場合、130 ライン分足りなくなってしまう。したがって、次段以降でこの不足分に対策しない限り、出力が不定となる。本実施例では、このような課題を解決するため、以下のように構成されている。

図 2 2 は、本発明の第 3 の実施例による映像信号変換装置の要部の構成を示すブロック図である。図 2 2 に示す映像信号変換装置では、フィールドメモリ部 7、メモリ制御部 2 1、同期処理部 6 を備える。メモリ制御部 2 1 は、読み出し開始アドレス発生部 1 0 1、黒ライン挿入部 1 0 2 を含む。同期処理部 6 は、読み出し水平同期信号発生部 1 0 3 を含む。

読み出し開始アドレス発生部 1 0 1 は、図 7 に示すフィールドメモリ部 7 の読み出し動作を制御する読み出し制御部 2 3 の一部であり、読み出し開始アドレスを発生させる。黒ライン挿入部 1 0 2 は、映像信号の特定期間に黒ラインのデータを挿入する。

読み出し水平同期信号発生部 1 0 3 は、同期処理部 6 内にあり、フィールドメモリ部 7 の読み出し用の第 2 水平同期信号 H 2 1 を発生させる。なお、上記の各ブロック以外の構成は、第 2 の実施例と同様であるので詳細な説明を省略する。

本実施例では、読み出し開始アドレス発生部 1 0 1 がアドレス発生回路に相当し、黒ライン挿入部 1 0 2 が黒ライン挿入回路に相当し、読み出し水平同期信号発生部 1 0 3 が水平同期信号発生回路に相当し、その他は第 2 の実施例と同様である。

図 2 3 は、走査線変換による拡大処理時の各水平同期信号のタイミング図であり、図 2 4 は、走査線変換による拡大処理を説明するための表示画像を示す模式図であり、図 2 5 は、拡大処理時のフィールドメモリ部 7 の書き込みおよび読み出しアドレスを説明するための模式図である。

上記のような課題に対処するためには、拡大処理時には、入力される映像信号により表示される表示画像の上下のデータは不要であるため、フィールドメモリ部 7 の出力から上下のデータを切り落とし、同時にフィールドメモリ部 7 の読み出し用の水平同期信号である第 2 の水平同期信号 H 2 1 の周波数を下げ、走査線変換後の第 3 の水平同期信号 H 3 1 の周波数が走査線変換をしない場合と同等になるように操作すればよい。

具体的には、図 2 3 に示すように、2 → 3 変換による拡大処理の場合、映像信号は、第 1 のラッチ水平同期信号 H 1 2 に同期してライン 1 のデータから順にフィールドメモリ部 7 に書き込まれる。読み出し水平同期信号発生部 1 0 3 から出

力されるフィールドメモリ部 7 の出力側の水平同期信号である第 2 の水平同期信号 H 2 1 は、2 → 3 変換することを見越して、その周期が予め 1.5 倍にされるとともに、不要な上下のデータが切り落とされる。図 2 3 では、入力される映像信号に対してライン 3 から読み出される。

- 5 すなわち、図 2 5 に示すように、すべての映像信号を取り込むようにフィールドメモリ部 7 への書き込み動作が制御され、一方、書き込み先頭アドレスより大きい読み出し先頭アドレスを読み出し開始アドレス発生部 1 0 1 により発生させ、不必要な上のラインのデータを読み出さないように読み出し動作が制御される。その後、走査線変換後の水平同期信号である第 3 の水平同期信号 H 3 1 は、第 10 1 のラッチ水平同期信号 H 1 2 と同じ周期になっているが、拡大処理は完了している。上記の処理を表示画像により模式的に表すと、図 2 4 に示すようになる。

- 次に、縮小処理について図 2 6 ないし図 2 8 を用いて説明する。図 2 6 は、走査線変換による縮小処理時の各水平同期信号のタイミング図であり、図 2 7 は、走査線変換による縮小処理を説明するための表示画像を示す模式図であり、図 2 15 8 は、縮小処理時のフィールドメモリ部 7 の書き込みおよび読み出しアドレスを説明するための模式図である。

- 図 2 6 に示すように、4 → 3 変換による縮小処理の場合、フィールドメモリ部 7 の出力側の水平同期信号である第 2 の水平同期信号 H 2 1 の周期を予め 0.75 倍にしておくことにより、走査線変換後の水平同期信号である第 3 の水平同期信号 H 3 1 を一定に保つことができる。 20

- しかしながら、縮小処理の場合、映像期間を表示画面の真ん中に持ってくるためには、その上下の期間に何らかのダミー信号を挿入しなければならない。このダミー信号として一般的には黒ラインのデータが用いられるため、本実施例では、フィールドメモリ部 7 からの読み出し時に、黒ライン挿入部 1 0 2 により黒 25 ラインのデータを挿入した後に書き込まれたデータを出力し、さらに、書き込まれたデータの出力が終了した後も、必要に応じて黒ラインのデータを挿入している。上記の処理を表示画像により模式的に表すと、図 2 7 に示すようになる。

上記の場合、図 2 8 に示すように、読み出し開始アドレス発生部 1 0 1 は、黒ラインを挿入するときに読み出し先頭アドレスとして負の値を設定し、この負の

設定値をカウントアップし、このカウントアップ値が負数の場合に黒ライン挿入部102を制御して黒ラインのデータを挿入する。読み出し開始アドレス発生部101は、カウントアップ値が0になった時点で、もともとフィールドメモリ部7に書き込まれているデータを読み出すように動作し、また、書き込まれているデータが終了した時点で再び黒ラインのデータを挿入するように動作する。

このようにして、縮小処理時でも、不定データが出力されることがなく、かつ出力周波数を一定に保つことができる。したがって、本実施例では、水平同期信号およびクロックの周波数の変動を抑えることができ、次段の回路やディスプレイパネルを安定して動作させることが可能となる。

(第4の実施例)

次に、本発明の第4の実施例による映像信号変換装置について説明する。図29は、本発明の第4の実施例による映像信号変換装置の要部の構成を示すブロック図である。

図29に示す映像信号変換装置は、フィールドメモリ部7、メモリ制御部21および同期制御部6を備える。フィールドメモリ部7は、フィールドメモリ7a, 7b, 7cを含み、同期制御部6は、フィールド判別部111を含み、メモリ制御部21は、書き込み制御部112、読み出し制御部113、セクタ114, 116、およびレジスタ115a, 115b, 115cを含む。

フィールド判別部111は、第1の水平同期信号H11および第1の垂直同期信号V11を受け、フィールド判別情報として、入力された映像信号がインターレース信号の場合、奇数フィールドの時は0を、偶数フィールドの時は1をそれぞれ出力する。具体的には、図30に示すように、第1の水平同期信号H11に対してデューティ比50%の窓関数を発生させて、窓関数がローレベルの期間に第1の垂直同期信号V11のエッジがあった場合、フィールド判別信号として0（ローレベル）を出力し、逆に窓関数がハイレベルの期間に第1の垂直同期信号V11のエッジがある場合、フィールド判別信号として1（ハイレベル）を出力する。

書き込み制御部112は、フィールドメモリ7a~7cの書き込み制御信号を発生するとともに、セクタ114へどのフィールドメモリ7a~7cに書き込

みが行われているかを出力する。レジスタ 115 a ~ 115 c は、各フィールドメモリ 7 a ~ 7 c に対応して設けられ、セクタ 114 は、書き込みが起こっているフィールドメモリ 7 a ~ 7 c に対応したレジスタ 115 a ~ 115 c にフィールド判別信号を出力する。レジスタ 115 a ~ 115 c は、第 1 の垂直同期信号 V 1 1 の位相をずらした垂直同期信号（図示省略）により書き込みが起こっているフィールドのフィールド判別信号を取り込む。

読み出し制御部 113 は、フィールドメモリ 7 a ~ 7 c の読み出し制御信号を発生するとともに、セクタ 116 へのフィールドメモリ 7 a ~ 7 c から読み出しが発生しているかを出力する。セクタ 116 は、読み出しが起こっているフィールドメモリ 7 a ~ 7 c に対応したレジスタ 115 a ~ 115 c から、垂直周波数変換後の第 2 の垂直同期信号 V 2 1 と同じ周期の読み出し信号（図示省略）により、フィールドメモリ 7 a ~ 7 c から読み出されているフィールドのフィールド判別信号を当該フィールドの映像信号にリンクさせて出力する。なお、上記の各ブロック以外の構成は、第 2 の実施例と同様であるので詳細な説明を省略する。

本実施例では、フィールド判別部 111 が判別回路に相当し、書き込み制御部 112、読み出し制御部 113、セクタ 114、116、およびレジスタ 115 a、115 b、115 c がフィールド情報記憶回路に相当し、その他は第 2 の実施例と同様である。

次に、上記のように構成された映像信号変換装置の垂直周波数変換の動作について説明する。図 31 は、図 29 に示す映像信号変換装置の垂直周波数変換の動作を説明するためのタイミング図である。図 31 では、垂直周波数変換として 3 → 2 変換（90 Hz → 60 Hz）の場合を示している。

フィールド判別信号は、入力側の垂直同期信号である第 1 のラッチ垂直同期信号 V 1 2 に対して図示のようになり、垂直周波数変換後の第 2 の垂直同期信号 V 2 1 が図示のようになっているとする。この場合、図 10 の（c）の場合と同様に、第 2 の垂直同期信号 V 2 1 の周期の中に 2 回以上第 1 の垂直同期信号 V 1 2 が入ってしまうと、次のフィールドはフィールドメモリ 7 a ~ 7 c に書き込まれない。このため、各フィールドが書き込まれるフィールドメモリは、フィ



ールドメモリ 7 c、×（書き込みなし）、フィールドメモリ 7 a、フィールドメモリ 7 b、×、フィールドメモリ 7 c、フィールドメモリ 7 a、×、…となる。

例えば、フィールドメモリ 7 a にフィールド期間 1 8 1 のデータが書き込まれた時は、奇数フィールドであるため、レジスタ 1 1 5 a は、ローレベルの状態になる。したがって、次にフィールドメモリ 7 a からデータが読み出される期間 1 8 2 では、レジスタ 1 1 5 a からはローレベルの信号が読み出される。また、次にフィールドメモリ 7 a に書き込みが発生した時のフィールドの状態も奇数フィールドであるから、レジスタ 1 1 5 a の状態は変化しない。したがって、その次に読み出される時もフィールド判別信号はローレベルで読み出される。レジスタ 5 b、1 1 5 c についても上記と同様である。

このようにして、フィールドメモリ 7 a ~ 7 c から読み出されているフィールドのフィールド判別信号を当該フィールドの映像信号にリンクさせて出力し、このフィールド判別信号に応じて以降の I P 変換が行われる。なお、この場合の I P 変換は、前後のフィールドが抜けるか抜けないかわからないため、補間ラインは現フィールドのみで合成しなければならない。したがって、本実施例の I P 変換は、図 1 2 の (c) に示すフィールド内補間となる。

このようにして、本実施例では、フィールド判別信号も映像信号と同様に記憶することにより、I P 変換と垂直周波数変換とを両立することが可能となる。なお、I P 変換と垂直周波数変換とを両立する理由は、ビデオデッキの早送り時や巻戻し時に垂直周波数が 6 0 H z よりも大きくなってしまふことがあったり、P C (パーソナルコンピュータ) 信号の 8 5 H z の X G A (Extended Graphics Array) インターレースといった信号に対応するためである。

(第 5 の実施例)

次に、本発明の第 5 の実施例による映像信号変換装置について説明する。図 3 2 は、本発明の第 5 の実施例による映像信号変換装置の構成を示すブロック図である。

図 3 2 に示す映像信号変換装置は、メモリ制御処理部 2、I P 変換処理部 3、走査線変換処理部 4、水平画素変換処理部 5、同期処理部 6 a およびフィールドメモリ部 7 を備える。

メモリ制御処理部 2 は、例えば、図 5 に示すラインメモリ 1 2 およびメモリ制御部 2 1 から構成され、装置外部の A/D 変換器（図示省略）によりデジタル化された映像信号 D V を受け、書き込みおよび読み出しアドレス等の制御信号を発生させてフィールドメモリ部 7 へ出力し、入力される映像信号をフィールドメモリ 1 に書き込んだり、フィールドメモリ部 7 に書き込まれたデータを読み出したりして、フィールドメモリ部 7 との間で映像信号の受け渡しを行うとともに、必要に応じて垂直周波数変換を行う。

I/P 変換処理部 3 は、例えば、図 5 に示すラインメモリ 3 1 および I/P 変換部 4 1 から構成され、メモリ制御処理部 2 から出力される映像信号がインターレース信号であった場合にプログレッシブ信号に変換し、逆にプログレッシブ信号の場合にそのままスルーして走査線変換処理部 4 へ出力する。

走査線変換処理部 4 は、例えば、図 5 に示すラインメモリ 5 1 および走査線変換部 6 1 から構成され、I/P 変換処理部 3 の出力を受け、入力される映像信号の走査線数を増減させて垂直方向の拡大処理および縮小処理を行う。

水平画素変換処理部 5 は、例えば、図 5 に示す水平圧縮部 7 1、ラインメモリ 8 1 および水平拡大変換部 9 1 から構成され、走査線変換処理部 4 から出力される映像信号の水平画素数を増減して水平方向の拡大処理および縮小処理を行い、変換された映像信号 T V を表示装置（図示省略）へ出力する。

同期処理部 6 a は、PLL（Phase Locked Loop）回路 6 0 1、6 0 2、分周比カウンタ 6 0 3、6 0 4、水晶発振子 6 0 5、メモリ出力同期発生部 6 0 6、H カウンタ 6 0 7、V カウンタ 6 0 8、セレクトア 6 0 9、フィールド判定部 6 1 0、クロック乗せ換え部 6 1 1、6 1 2 および位相制御部 6 1 3 ~ 6 1 7 を含む。なお、同期処理部 6 a は、以下に説明する各同期信号およびクロック以外に各ブロックに必要とされる各同期信号等を第 2 の実施例と同様に供給しているが、説明を容易にするため、図示を省略している。

PLL 回路 6 0 1 は、外部からデジタル映像信号 D V の水平同期信号 H S を入力され、入力側のクロックである第 1 のクロック C L K 1 を発生させる。分周比カウンタ 6 0 3 は、PLL 回路 6 0 1 の分周比を決定しすなわち第 1 のクロック C L K 1 を分周し、PLL 回路 6 0 1 へのフィードバックパルスが発生させると

ともに、当該パルス水平同期信号H 1 1'として位相制御部6 1 3およびクロック乗せ換え部6 1 1へ出力する。

5 位相制御部6 1 3は、入力される水平同期信号H 1 1'および外部から入力されるデジタル映像信号D Vの垂直同期信号V Sの位相を揃えとともに両同期信号をメモリ制御処理部2が必要とする位相およびパルス幅に調整し、メモリ制御処理部2のラインメモリの入力側の基準パルス（装置全体の入力側の基準パルス）となる第1の水平同期信号H 1 1および第1の垂直同期信号V 1 1としてメモリ制御処理部2へ出力する。

10 クロック乗せ換え部6 1 1は、入力される水平同期信号H 1 1'および外部から入力されるデジタル映像信号D Vの垂直同期信号V Sを内部のクロックである第2のクロックC L K 2によりラッチし直し、ラッチ水平同期信号H 1 2'およびラッチ垂直同期信号V 1 2'を位相制御部6 1 4へ出力する。

15 位相制御部6 1 4は、入力されるラッチ水平同期信号H 1 2'およびラッチ垂直同期信号V 1 2'の位相を揃えとともに両同期信号をメモリ制御処理部2が必要とする位相およびパルス幅に調整し、メモリ制御処理部2のラインメモリの出力側およびメモリ制御部の入力側の基準パルスとなる第1のラッチ水平同期信号H 1 2および第1のラッチ垂直同期信号V 1 2としてメモリ制御処理部2へ出力する。

20 フィールド判別部6 1 0は、例えば、図29に示すフィールド判別部1 1 1と同様に構成され、水平同期信号H 1 1'および垂直同期信号V Sを受け、図30と同様に、水平同期信号H 1 1'に対してデューティ比50%の窓関数を発生させて、窓関数がローレベルの期間に垂直同期信号V Sのエッジがあった場合すなわち奇数フィールドの場合、フィールド判別信号F Dとしてローレベルの信号を出力し、逆に窓関数がハイレベルの期間に垂直同期信号V Sのエッジがある場合
25 合すなわち偶数フィールドの場合、フィールド判別信号F Dとしてハイレベルの信号を出力する。

水晶発振子6 0 5は、内部のクロックである第2のクロックC L K 2を発生させる。メモリ出力同期発生部6 0 6は、第2のクロックC L K 2およびフィールド判別信号F D等を受け、メモリ制御処理部2のメモリ制御部の出力側の基準パ

ルスとなる第2の水平同期信号H21、第2の遅延水平同期信号H2D、第2の倍水平同期信号H2Hおよび第2の垂直同期信号V21の原型となる水平同期信号H2V、水平同期信号H21'、遅延水平同期信号H2D'および倍水平同期信号H2H'を発生させ、水平同期信号H2VをVカウンタ608へ出力し、水平同期信号H21'、遅延水平同期信号H2D'および倍水平同期信号H2H'を位相制御部615へ出力する。Vカウンタ608は、メモリ出力同期発生部606から出力される水平同期信号H2Vを分周し、垂直同期信号V2'をセクタ609へ出力する。

セクタ609は、位相制御部614から出力される第1のラッチ垂直同期信号V12およびVカウンタ608から出力される垂直同期信号V2'を受け、メモリ制御処理部2により垂直周波数変換を行う場合は垂直同期信号V2'を選択し、垂直周波数変換を行わない場合は第1のラッチ垂直同期信号V12を選択し、垂直同期信号V21'として位相制御部615へ出力する。

位相制御部615は、入力される垂直同期信号V21'、水平同期信号H21'、遅延水平同期信号H2D'および倍水平同期信号H2H'の位相を揃えとともに各同期信号をメモリ制御処理部2が必要とする位相およびパルス幅に調整し、メモリ制御処理部2のメモリ制御部の出力側の基準パルスとなる第2の垂直同期信号V21、第2の水平同期信号H21、第2の遅延水平同期信号H2Dおよび第2の倍水平同期信号H2Hとしてメモリ制御処理部2へ出力するとともに、走査線変換処理部4の入力側の基準パルス（走査線変換前の基準パルス）となる第2の倍水平同期信号H2Hとして走査線変換処理部4へ出力し、さらに、第2の垂直同期信号V21を位相制御部616へ出力する。

Hカウンタ607は、第2のクロックCLK2を分周し、水平同期信号H31'を位相制御部616へ出力するとともに、基準パルスとしてPLL回路602へ出力する。位相制御部616は、入力される垂直同期信号V21および水平同期信号H31'の位相を揃えとともに両同期信号を走査線変換処理部4が必要とする位相およびパルス幅に調整し、走査線変換処理部4の出力側の基準パルス（走査線変換後の基準パルス）となる第3の水平同期信号H31および第2のラッチ垂直同期信号V2Pとして走査線変換処理部4へ出力する。

PLL回路602は、Hカウンタ607から出力される水平同期信号H31'を基準パルスとして入力され、第3のクロックCLK3を発生させる。分周比カウンタ604は、PLL回路602の分周比を決定しすなわち第3のクロックCLK3を分周し、PLL回路602へのフィードバックパルスを発生させるとともに、当該パルスを水平同期信号H33'として位相制御部617へ出力する。

位相制御部617は、入力される水平同期信号H33'を水平画素変換処理部5が必要とする位相およびパルス幅に調整し、水平画素変換処理部5のラインメモリの出力側の基準パルス（装置全体の出力側の基準パルス）となる第3のラッチ水平同期信号H33として走査線変換処理部4へ出力する。

また、メモリ出力同期発生部606は、セクタ609により選択された垂直同期信号V21'（リセットパルスRST）によりリセットされ、Hカウンタ607は、位相制御部615から出力される第2の垂直同期信号V21（リセットパルスRST）によりリセットされ、分周比カウンタ604は、クロック乗せ換え部612により第2の垂直同期信号V21を出力側のクロックである第3のクロックCLK3によりラッチし直したラッチ垂直同期信号V23（リセットパルスRST）によってリセットされる。なお、Hカウンタ607および分周比カウンタ604のリセットパルスとして、メモリ出力同期発生部606と同様に、セクタ609により選択された垂直同期信号V21'を用いてもよい。

ここで、垂直周波数変換時にセクタ609がVカウンタ608の出力V2'を選択するため、メモリ出力同期発生部606は、自分自身で作った水平同期信号H2Vを基準に作成された垂直同期信号V2'によりリセットされ、一見意味がないように思われる。

しかしながら、例えば、図32に示す映像信号変換装置をLSIにより作成し、複数のLSIを同期運転するとき、他のLSIから垂直周波数変換後の垂直同期信号が入力される場合を考えると、メモリ出力同期発生部606のリセット機能が重要となる。この場合、Vカウンタ608にもリセット機能が必要であることは言うまでもない。なお、図32に示す映像信号変換装置をLSIにより作成する場合、製造プロセスによる制約によりPLL回路601、602および水晶発振子605は集積化されず、別部品から作成され、LSIに外付けされる。

次に、図 3-2 に示すメモリ出力同期発生部 606 についてさらに詳細に説明する。図 3-3 は、図 3-2 に示すメモリ出力同期発生部 606 の一例の構成を示すブロック図である。

図 3-3 に示すように、メモリ出力同期発生部 606 は、H カウンタ 701、2 分周矩形波発生部 702、2 分周回路 703、マルチプレクサ 704、セクタ 705、706 および OR ゲート 707 を含む。

H カウンタ 701 は、第 2 のクロック CLK 2 を分周し、第 2 の水平同期信号 H 21 の倍周波数の倍水平同期信号 HP を 2 分周矩形波発生部 702、2 分周回路 703、マルチプレクサ 704 およびセクタ 706 の 1 側へ出力する。2 分周矩形波発生部 702 は、倍水平同期信号 HP を 2 分周し、デューティ比 50 % の矩形波である 2 分周矩形波 DT を発生する。また、2 分周矩形波発生部 702 は、セクタ 608 から出力される垂直同期信号 V 2' (リセットパルス RST) によりリセットされ、リセットされたときにフィールド判別部 610 から出力されるフィールド判別信号 FD の値を初期値として 2 分周矩形波 DT をマルチプレクサ 704 へ出力する。

マルチプレクサ 704 は、2 分周矩形波 DT がローレベル (0) のときに倍水平同期信号 HP を 0 側へ出力し、2 分周矩形波 DT がハイレベル (1) のときに倍水平同期信号 HP を 1 側へ出力する。

したがって、フィールド判別信号 FD がローレベル (0) のときにマルチプレクサ 704 の 0 側の出力は、垂直同期信号 VS と同期し位相ずれのないパルスとなり、水平同期信号 H 21' として位相制御部 615、セクタ 705 の 1 側および OR ゲート 707 へ出力され、マルチプレクサ 704 の 1 側の出力は、水平同期信号 H 21' に対して半位相ずれたパルスとなり、セクタ 705 の 1 側へ出力される。

一方、フィールド判別信号 FD がハイレベル (1) のときにマルチプレクサ 704 の 0 側の出力は、半位相ずれたパルスとなり、水平同期信号 H 21' として位相制御部 615、セクタ 705 の 1 側および OR ゲート 707 へ出力され、マルチプレクサ 704 の 1 側の出力は、位相ずれのないパルスとなり、セクタ 705 の 1 側へ出力される。

セレクタ705は、装置内部で発生されるIP変換信号IPSに応じて選択動作を行い、IP変換を行う場合すなわちIP変換信号IPSがハイレベル(1)のときにマルチプレクサ704の1側の出力を選択して遅延水平同期信号H2Dとして位相制御部615およびORゲート707へ出力する。

- 5 また、セレクタ705は、IP変換を行わない場合すなわちIP変換信号IPSがローレベル(0)のときにマルチプレクサ704の0側の出力を選択して遅延水平同期信号H2Dとして位相制御部615およびORゲート707へ出力する。したがって、IP変換を行わない場合、上記のフィールド判別信号FDがローレベルの場合と同じになるが、水平同期信号H21'が遅延水平同期信号H2D'として出力され、図6に示すように、第2の遅延水平同期信号H2Dを第2の水平同期信号H21と同じパルスにすることができる。

- 15 ORゲート707は、マルチプレクサ704から出力される水平同期信号H21'とセレクタ705から出力される遅延水平同期信号H2D'とをOR演算し、第2の水平同期信号H21の倍周波数の倍水平同期信号H2H'を位相制御部615へ出力する。

- 2分周回路703は、Hカウンタ701から出力される倍水平同期信号HPを2分周し、セレクタ706の0側へ出力する。セレクタ706は、IP変換信号IPSに応じて選択動作を行い、IP変換を行う場合すなわちIP変換信号IPSがハイレベル(1)のときにHカウンタ701の出力を選択し、IP変換を行わない場合すなわちIP変換信号IPSがローレベル(0)のときに2分周回路703の出力を選択し、水平同期信号H2VとしてVカウンタ608へ出力する。

- 25 このように、Vカウンタ608に入力される水平同期信号H2Vは、IP変換時はHカウンタ701の出力がそのまま使用され、IP変換を行わないときには2分周回路703の出力が使用される。したがって、IP変換を行わない場合、Hカウンタ701の出力を2分周し、常に垂直同期信号と位相のあった水平同期信号から垂直同期信号が作成される。また、IP変換を行う場合、IP変換後の水平同期信号H2Hの原型となる水平同期信号HPをカウントアップして垂直同期信号が作成され、IP変換の有無に関わらず垂直周波数変換に使用する垂直同

期信号V 2 1を整合性よく作成することができる。

また、Hカウンタ7 0 1、2分周矩形波発生部7 0 2および2分周回路7 0 3はいずれもセクタ6 0 9により選択された垂直同期信号V 2 1'（リセットパルスR S T）によってリセットされる。

- 5 なお、メモリ出力同期発生部6 0 6の構成は、上記の例に特に限定されず、メモリ制御処理部2の出力動作を制御する各同期信号H 2 1、H 2 D、H 2 H、V 2 1の原型となる同期信号を発生することができれば、他の構成の回路を用いてもよい。

- 10 図3 4は、図3 3に示すメモリ出力同期発生部6 0 6の動作の一例を説明するためのタイミング図である。図3 4に示すタイミング図は、奇数フィールドの映像信号をI P変換する場合のタイミング図である。

- 15 図3 4に示すように、Hカウンタ7 0 1から倍水平同期信号H Pが出力されているときに、リセットパルスR S TがHカウンタ7 0 1に入力されると、倍水平同期信号H Pがリセットされる。このとき、映像信号が奇数フィールドであるため、フィールド判別信号F Dがローレベルで出力されており、リセットパルスR S Tにより2分周矩形波発生部7 0 2もリセットされると、2分周矩形波発生部7 0 2の2分周矩形波D Tがローレベルで出力され、以降デューティ比が5 0 %になるように2分周矩形波D Tはローレベルおよびハイレベルを繰り返す。

- 20 このとき、I P変換を行うためにI P変換信号I P Sがハイレベルで出力されているため、マルチプレクサ7 0 4およびセクタ7 0 5により、2分周矩形波D Tがローレベルの期間にある倍水平同期信号H Pのパルスが水平同期信号H 2 1'として出力され、最終的に第2の水平同期信号H 2 1が図示のように出力され、2分周矩形波D Tがハイレベルの期間にある倍水平同期信号H Pのパルスが遅延水平同期信号H 2 D'として出力され、最終的に第2の遅延水平同期信号H 2 Dが図示のように出力される。

25 また、ORゲート7 0 7により水平同期信号H 2 1'と遅延水平同期信号H 2 D'がOR演算され、倍水平同期信号H Pと同様のパルスが倍水平同期信号H 2 H'として出力され、最終的に第2の倍水平同期信号H 2 Hが図示のように出力される。

また、セクタ 706 により倍水平同期信号 H P が水平同期信号 H 2 V として V カウンタ 608 へ出力され、分周等された後、最終的に第 2 の垂直同期信号 V 21 が図示のように出力される。

上記のようにして、メモリ出力同期発生部 606 により奇数フィールドの映像信号を I P 変換する場合のメモリ制御処理部 2 の出力側の基準パルスとなる第 2 の垂直同期信号 V 21、第 2 の水平同期信号 H 21、第 2 の遅延水平同期信号 H 2 D および第 2 の倍水平同期信号 H 2 H を作成することができる。また、上記と同様にして、図 6 に示す他の場合の各同期信号を作成することができる。

本実施例では、フィールドメモリ部 7 が記憶部に相当し、メモリ制御処理部 2 が垂直周波数変換処理回路に相当し、I P 変換処理部 3 がインターレース/プログレッシブ変換処理回路に相当し、走査線変換処理部 4 が走査線変換処理回路に相当し、水平画素変換処理部 5 が水平画素変換処理回路に相当し、同期処理部 6 a が同期制御回路に相当し、メモリ出力同期発生部 606 が第 1 の水平同期信号発生回路に相当し、V カウンタ 608 が垂直同期信号発生回路に相当し、H カウンタ 607 および分周比カウンタ 604 が第 2 の水平同期信号発生回路に相当し、セクタ 609 が選択回路に相当する。また、H カウンタ 701 が第 1 のカウンタに相当し、V カウンタ 608 が第 2 のカウンタに相当し、H カウンタ 607 が第 3 のカウンタに相当し、分周比カウンタ 604 が第 4 のカウンタに相当する。

次に、上記のように構成された映像信号変換装置の走査線変換処理について説明する。

例えば、2 → 3 変換 (1.5 倍) による拡大処理の場合、第 3 の実施例と同様に、図 24 に示すように、メモリ制御処理部 2 の出力時点では、拡大処理によって不必要となる上下部分をカットした中央部のみを切り取り、走査線変換処理部 4 により中央部のみを拡大処理し、ディスプレイパネルが必要とするライン数に変換する。このとき、図 23 と同様に、走査線変換処理部 4 の入力側の基準パルス (走査線変換前の水平同期信号) となる第 2 の倍水平同期信号 H 2 H の周波数を下げ、走査線変換処理部 4 の出力側の基準パルス (走査線変換後の水平同期信号) となる第 3 の水平同期信号 H 31 の周波数は、どのような信号が入力され、

かつ、どのような変換を行う場合でも一定の周波数となるように操作する。

上記の変換処理を行うためには、第1のラッチ水平同期信号H12と独立した周期を有する他の水平同期信号が必要となり、メモリ出力同期発生部606および位相制御部615により第1のラッチ水平同期信号H12と独立して第2の倍水平同期信号H2H等を発生させている。

また、Hカウンタ607の設定値は、メモリ出力同期発生部606のHカウンタ701の設定値と密接に関係している。例えば、1.5倍の拡大処理を行う場合、走査線変換前の第2の倍水平同期信号H2Hの2周期が走査線変換後の第3の水平同期信号H31の3周期にならなければならない。つまり、Hカウンタ701、607の設定値は、IP変換を行う場合、一定期間内に含まれるライン数の逆数比である3:2に設定しなければならない。したがって、走査線変換処理部4がm:nの拡大処理を行う場合、IP変換時は、Hカウンタ701の設定値とHカウンタ607の設定値との比は、n:mの比にする必要がある。なお、IP変換を行わない場合も、Hカウンタ701から出力される倍水平同期信号HPをマルチプレクサ704で2分周したパルスがH2H'となるため、Hカウンタ701の設定値とHカウンタ607の設定値との比はn:mの比に保たれる。

このようにして、フィールドメモリ部7からの映像データの読み出し速度を遅くできるとともに、映像データの不要部分を記憶しないため、フィールドメモリ部7の記憶容量を削減することができる。

次に、例えば、4→3変換(0.75倍)による縮小処理の場合、第3の実施例と同様に、図27に示すように、メモリ制御処理部2の出力時点で上下にダミーの黒データを挿入し、ライン数をあらかじめ多めにしておいてから走査線変換処理部4により縮小処理を行う。このとき、図26と同様に、走査線変換処理部4の入力側の基準パルス(走査線変換前の水平同期信号)となる第2の倍水平同期信号H2Hの周期を予め0.75倍しておき、走査線変換後の第3の水平同期信号H31の周波数は、どのような信号が入力され、かつ、どのような変換を行う場合でも一定の周波数となるように操作する。

また、PLL回路601から出力される第1のクロックCLK1がAD変換器でのサンプリングクロックとして用いられるのが一般的であり、分周比カウンタ

603は、基本的には入力される映像信号のドットクロックと第1のクロックCLK1が同一の発振周波数となるように設定される。分周比カウンタ604は、出力される映像信号のすべての水平画素が1水平期間内に十分に入るように、また後段の回路が要求する1水平期間内のクロック数になるように設定される。V
5 カウンタ608は、垂直同期信号V2'の周波数が後段の回路等の要求する垂直周波数となるように設定される。

上記のように、後段の回路等が要求するライン数、クロック数および走査線変換の変換比から逆算してメモリ制御処理部2の出力側以降の各同期信号の周波数を定めることにより、装置の出力側の水平同期信号やクロックの周波数を一定に保つことが可能となり、これは入力される映像信号の周波数や画素数に関わらず、常に走査線変換での変換比のみで決定され、各カウンタの設定も容易となる。

上記のように、本実施例では、メモリ制御処理部2の後に走査線変換処理部4を配置する場合において、垂直周波数変換の有無に関わらず、メモリ制御処理部2の出力側の基準パルスとなる第2の水平同期信号H21をメモリ出力同期発生部606等により作り直し、メモリ出力同期発生部606とは別のHカウンタ6
15 07により第3のクロックCLK3を発生させるPLL回路602の基準パルスを作成し、メモリ出力同期発生部606を第2の垂直同期信号V21の原型となる垂直同期信号V21'によりリセットし、Hカウンタ607を第2の垂直同期信号V21によりリセットし、第2の垂直同期信号V21を第3のクロックCLK3によりラッチし直したラッチ垂直同期信号V23により分周比カウンタ604をリセットすることにより、各回路をメモリ制御処理部2の出力側以降の基準パルスとなる第2の系統の垂直同期信号によりリセットしている。したがって、走査線変換処理部4による拡大および縮小処理によらず、装置の出力側の水平同期信号およびクロックを一定に保つことが可能となる。

25 また、分周比カウンタ604にリセット機能がなくても、PLL回路602の追従範囲であれば、クロックは発生する。しかし、PLL回路602の基準パルスとフィードバックパルスの位相関係が大きくなると、PLL回路602がロックするまでの間、映像が乱れたり、トップカールが発生する。このため、リセット機能を分周比カウンタ604にも設け、基準パルスとフィードバックパルス

を同時にリセットすることによって、PLL回路602の発振動作を安定にしている。

5 なお、図3-2に示す例では、第2のクロックCLK2を発生させるために水晶発振子605を用いたが、これは装置の内部の動作として、例えば、フィールドメモリ部7のインターフェースやIP変換等で速いクロックが要求される場合に、装置の入力側の第1のクロックCLK1および装置の出力側の第3のクロックCLK3よりも速い装置の内部の第2のクロックCLK2を用いるときのものである。したがって、装置の動作速度の面で問題がなければ、水晶発振子を用いず
10 いてもよい。

逆に、水晶発振子605を用いる利点としては、前述したように速い動作が要求されるときに有利であるだけでなく、非同期クロックであるので、ディスプレイパネル上に出画されるクロック妨害が発生しにくく目立たないこと、また仮に
15 入力側の同期やクロックが乱れても、出力側は安定した同期およびクロックが保証できること等があげられる。

また、上記の説明では、各同期信号の位相等を調整するために位相制御部613～617を用いたが、各同期信号が各ブロックで直接使用できる場合は、位相制御部を省略してもよく、また、位相制御部の挿入位置も、上記の例に特に限定
20 されず、例えば、Hカウンタ701の後に挿入する等の種々の変更が可能である。



請 求 の 範 囲

1. 入力される映像信号を表示装置に適合する映像信号へ変換する映像信号変換装置であって、

5 映像信号を記憶する記憶部と、

入力される映像信号を前記記憶部に書き込むための書き込み制御信号および前記記憶部に記憶されている映像信号を読み出すための読み出し制御信号を前記記憶部へ出力し、前記記憶部への映像信号の入出力を制御するとともに、前記記憶部に記憶されている映像信号の垂直周波数を変換する垂直周波数変換処理回路と

前記垂直周波数変換処理回路から出力される映像信号がインターレース信号の場合、インターレース信号からプログレッシブ信号へ変換するインターレース／プログレッシブ変換処理回路と、

15 前記インターレース／プログレッシブ変換処理回路から出力される映像信号の走査線数を変換する走査線変換処理回路と、

前記走査線変換処理回路から出力される映像信号の水平画素数を変換する水平画素変換処理回路と、

前記垂直周波数変換処理回路、前記インターレース／プログレッシブ変換処理回路、前記走査線変換処理回路および前記水平画素変換処理回路の動作を制御するための同期制御信号を前記垂直周波数変換処理回路、前記インターレース／プログレッシブ変換処理回路、前記走査線変換処理回路および前記水平画素変換処理回路へ出力する同期制御回路とを備えることを特徴とする映像信号変換装置。

2. 前記記憶部は、フィールドメモリを含み、

25 前記垂直周波数変換処理回路は、

前記同期制御回路から出力される第1のクロックを基準に書き込み動作を行うとともに、前記同期制御回路から出力される第2のクロックを基準に読み出し動作を行い、前記同期制御回路から出力される第1の系統の水平同期信号に応じて前記映像信号の書き込みおよび読み出し動作を行う第1のラインメモリと、

前記第2のクロックを基準に動作し、前記第1の系統の水平同期信号および前記同期制御回路から出力される第1の系統の垂直同期信号に応じて前記書き込み制御信号を出力するとともに、前記同期制御回路から出力される第2の系統の水平同期信号および第2の系統の垂直同期信号に応じて前記読み出し制御信号を出力し、前記第1のラインメモリから出力される映像信号の垂直周波数を前記第1の系統の垂直同期信号の周波数から前記第2の系統の垂直同期信号の周波数へ変換する垂直周波数変換回路とを含み、

前記インターレース/プログレッシブ変換処理回路は、

前記第2のクロックを基準に動作し、前記第2の系統の水平同期信号に応じて前記垂直周波数変換回路から出力される映像信号の書き込みおよび読み出し動作を行う第2のラインメモリと、

前記第2のクロックを基準に動作し、前記第2の系統の水平同期信号に応じて、前記第2のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するインターレース/プログレッシブ変換回路とを含み

15

前記走査線変換処理回路は、

前記第2のクロックを基準に動作し、前記第2の系統の水平同期信号に応じて前記インターレース/プログレッシブ変換回路から出力される映像信号の書き込み動作を行うとともに、前記同期制御回路から出力される第3の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行う第3のラインメモリと、

20

前記第2のクロックを基準に動作し、前記第3の系統の水平同期信号および前記第2の系統の垂直同期信号に応じて、前記第3のラインメモリから出力される映像信号の走査線数を変換する走査線変換回路とを含み、

25

前記水平画素変換処理回路は、

前記第2のクロックを基準に動作し、前記第3の系統の水平同期信号に応じて、前記走査線変換回路から出力される映像信号の水平画素数を圧縮する水平圧縮回路と、

前記第2のクロックを基準に書き込み動作を行うとともに、前記同期制御回路

から出力される第3のクロックを基準に読み出し動作を行い、前記第3の系統の水平同期信号に応じて、前記水平圧縮回路から出力される映像信号の書き込みおよび読み出し動作を行う第4のラインメモリと、

- 5 前記第3のクロックを基準に動作し、前記第3の系統の水平同期信号に応じて、前記第4のラインメモリから出力される映像信号の水平画素数を拡大する水平拡大回路とを含むことを特徴とする請求項1記載の映像信号変換装置。

3. 前記記憶部は、フィールドメモリを含み、

- 10 前記インターレース/プログレッシブ変換処理回路は、複数のラインメモリを含み、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じて前記フィールドメモリから前記複数のラインメモリの少なくとも一つに映像信号を転送され、前記複数のラインメモリ間でのデータのローテーションを行うとともに、前記複数のラインメモリのデータを用いて補間ラインの合成を行い、前記水平同期信号に応じて前記複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つのラインメモリから現ラインのデータを読み出すことを特徴とする請求項1記載の映像信号変換装置。
- 15

4. 前記記憶部は、フィールドメモリを含み、

前記垂直周波数変換処理回路は、

- 前記フィールドメモリの読み出し開始アドレスとして、前記走査線変換処理回路により走査線数を増加させて垂直方向の拡大処理を行う場合に前記フィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、前記走査線変換処理回路により走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるアドレス発生回路と、

- 25 前記アドレス発生回路により負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入する黒ライン挿入回路とを含み、

前記同期制御回路は、前記垂直方向の拡大処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を低下させ、前記垂直方向の縮小処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を高く

する水平同期信号発生回路を含み、

前記垂直周波数変換処理回路は、前記水平同期信号発生回路から出力される水平同期信号に応じて前記フィールドメモリの読み出し動作を制御することを特徴とする請求項 1 記載の映像信号変換装置。

5

5. 前記記憶部は、フィールドメモリを含み、

前記同期制御回路は、前記垂直周波数変換処理回路へ入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別する判別回路を含み、

10

前記垂直周波数変換処理回路は、前記判別回路により判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じて前記フィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すフィールド情報記憶回路を含み、

15

前記垂直周波数変換処理回路は、前記フィールド情報記憶回路により読み出されたフィールド情報に応じて映像信号を前記インターレース/プログレッシブ変換処理回路へ出力し、

前記インターレース/プログレッシブ変換処理回路は、フィールド内補間により前記垂直周波数変換処理回路から出力される映像信号をインターレース信号からプログレッシブ信号へ変換することを特徴とする請求項 1 記載の映像信号変換装置。

20

6. 前記同期制御回路は、

前記垂直周波数変換処理回路の出力側および前記走査線変換処理回路の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第 1 の水平同期信号発生回路と、

25

前記第 1 の水平同期信号発生回路から発生される水平同期信号を用いて垂直同期信号を発生させる垂直同期信号発生回路と、

前記走査線変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第 2 の水平同期信号発生回路と、

前記垂直周波数変換処理回路に入力される映像信号の垂直同期信号から作成さ

れた垂直同期信号および前記垂直同期信号発生回路から出力される垂直同期信号を受け、前記垂直周波数変換処理回路の出力側の基準となる垂直同期信号および前記走査線変換処理回路の出力側の基準となる垂直同期信号を作成するための垂直同期信号として、前記垂直周波数変換処理回路が垂直周波数変換を行う場合に

5 前記垂直同期信号発生回路の垂直同期信号を選択して出力し、前記垂直周波数変換処理回路が垂直周波数変換を行わない場合に前記垂直周波数変換処理回路に入力される映像信号の垂直同期信号から作成された垂直同期信号を選択して出力する選択回路とを含み、

前記第 1 および第 2 の水平同期信号発生回路は、前記選択回路から出力される垂直同期信号を基準にリセットされることを特徴とする請求項 1 記載の映像信号変換装置。

7. 前記第 1 の水平同期信号発生回路は、前記垂直周波数変換処理回路の出力側および前記走査線変換処理回路の入力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第 1 のカウンタを含み、

15

前記垂直同期信号発生回路は、前記第 1 のカウンタから発生される水平同期信号を分周して垂直同期信号を発生させる第 2 のカウンタを含み、

前記第 2 の水平同期信号発生回路は、

前記走査線変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、当該水平同期信号を所定のクロックを発生させる PLL 回路の基準パルスとして出力する第 3 のカウンタと、

前記 PLL 回路の分周比を決定し、前記 PLL 回路から出力されるクロックを分周して前記水平画素変換処理回路の出力側の基準となる水平同期信号を作成するための水平同期信号を発生させる第 4 のカウンタとを含み、

25 前記第 1 および第 3 のカウンタは、前記選択回路から出力される垂直同期信号を基準にリセットされることを特徴とする請求項 6 記載の映像信号変換装置。

8. 前記第 4 のカウンタは、前記選択回路から出力される垂直同期信号を基準にリセットされることを特徴とする請求項 7 記載の映像信号変換装置。



9. 映像信号を記憶するための記憶部を用いて、入力される映像信号を表示装置に適合する映像信号へ変換する映像信号変換方法であって、

5 入力される映像信号を前記記憶部に書き込むための書き込み制御信号および前記記憶部に記憶されている映像信号を読み出すための読み出し制御信号を前記記憶部へ出力し、前記記憶部への映像信号の入出力を制御するとともに、前記記憶部に記憶されている映像信号の垂直周波数を変換するステップと、

前記垂直周波数変換ステップにおいて変換された映像信号がインターレース信号の場合にインターレース信号からプログレッシブ信号へ変換するステップと、

10 前記インターレース/プログレッシブ変換ステップにおいて変換された映像信号の走査線数を変換するステップと、

前記走査線変換ステップにおいて変換された映像信号の水平画素数を変換するステップと、

15 前記各ステップにおいて用いられる同期制御信号を発生させるステップとを含むことを特徴とする映像信号変換方法。

10. 前記記憶部は、フィールドメモリを含み、

前記垂直周波数変換ステップは、

20 前記同期制御信号発生ステップにおいて発生される第1のクロックを基準に書き込み動作を行うとともに、前記同期制御信号発生ステップにおいて発生される第2のクロックを基準に読み出し動作を行う第1のラインメモリを用いて、前記同期制御信号発生ステップにおいて発生される第1の系統の水平同期信号に応じて前記映像信号の書き込みおよび読み出し動作を行うステップと、

25 前記第2のクロックを基準に動作する垂直周波数変換回路を用いて、前記第1の系統の水平同期信号および前記同期制御信号発生ステップにおいて発生される第1の系統の垂直同期信号に応じて前記書き込み制御信号を出力するとともに、前記同期制御信号発生ステップにおいて発生される第2の系統の水平同期信号および第2の系統の垂直同期信号に応じて前記読み出し制御信号を出力し、前記第1のラインメモリから出力される映像信号の垂直周波数を前記第1の系統の垂直

同期信号の周波数から前記第 2 の系統の垂直同期信号の周波数へ変換するステップとを含み、

前記インターレース／プログレッシブ変換ステップは、

5 前記第 2 のクロックを基準に動作する第 2 のラインメモリを用いて、前記第 2 の系統の水平同期信号に応じて前記垂直周波数変換回路から出力される映像信号の書き込みおよび読み出し動作を行うステップと、

前記第 2 のクロックを基準に動作するインターレース／プログレッシブ変換回路を用いて、前記第 2 の系統の水平同期信号に応じて、前記第 2 のラインメモリから出力される映像信号をインターレース信号からプログレッシブ信号へ変換するステップとを含み、

10 前記走査線変換ステップは、

前記第 2 のクロックを基準に動作する第 3 のラインメモリを用いて、前記第 2 の系統の水平同期信号に応じて前記インターレース／プログレッシブ変換回路から出力される映像信号の書き込み動作を行うとともに、前記同期制御信号発生ステップにおいて発生される第 3 の系統の水平同期信号に応じて、書き込まれた映像信号の読み出し動作を行うステップと、

15 前記第 2 のクロックを基準に動作する走査線変換回路を用いて、前記第 3 の系統の水平同期信号および前記第 2 の系統の垂直同期信号に応じて、前記第 3 のラインメモリから出力される映像信号の走査線数を変換するステップとを含み、

前記水平画素変換ステップは、

前記第 2 のクロックを基準に動作する水平圧縮回路を用いて、前記第 3 の系統の水平同期信号に応じて、前記走査線変換回路から出力される映像信号の水平画素数を圧縮するステップと、

25 前記第 2 のクロックを基準に書き込み動作を行うとともに、前記同期制御信号発生ステップにおいて発生される第 3 のクロックを基準に読み出し動作を行う第 4 のラインメモリを用いて、前記第 3 の系統の水平同期信号に応じて、前記水平圧縮回路から出力される映像信号の書き込みおよび読み出し動作を行うステップと、

前記第 3 のクロックを基準に動作する水平拡大回路を用いて、前記第 3 の系統

の水平同期信号に応じて、前記第4のラインメモリから出力される映像信号の水平画素数を拡大するステップとを含むことを特徴とする請求項9記載の映像信号変換方法。

5 1.1. 前記記憶部は、フィールドメモリを含み、

前記インターレース/プログレッシブ変換ステップは、複数のラインメモリを用いて、インターレース/プログレッシブ変換前の水平同期信号に対して位相が遅れた遅延水平同期信号に応じて前記フィールドメモリから前記複数のラインメモリの少なくとも一つに映像信号を転送し、前記複数のラインメモリ間でのデータのローテーションを行うとともに、前記複数のラインメモリのデータを用いて補間ラインの合成を行い、前記水平同期信号に応じて前記複数のラインメモリのうち映像信号が転送されたラインメモリ以外の一つのラインメモリから現ラインのデータを読み出すステップを含むことを特徴とする請求項9記載の映像信号変換方法。

15

1.2. 前記記憶部は、フィールドメモリを含み、

前記垂直周波数変換ステップは、

前記フィールドメモリの読み出し開始アドレスとして、前記走査線変換ステップにおいて走査線数を増加させて垂直方向の拡大処理を行う場合に前記フィールドメモリの書き込み開始アドレスより大きい読み出し開始アドレスを発生させるとともに、前記走査線変換ステップにおいて走査線数を減少させて垂直方向の縮小処理を行う場合に負数の読み出し開始アドレスを発生させるステップと、

20

前記アドレス発生ステップにおいて負数の読み出し開始アドレスが発生された場合、その負数の値だけ黒ラインのデータを挿入するステップとを含み、

前記同期制御信号発生ステップは、前記垂直方向の拡大処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を低下させ、前記垂直方向の縮小処理を行う場合に前記フィールドメモリの読み出し時の水平同期信号の周波数を高くするステップを含み、

25

前記垂直周波数変換ステップは、前記同期制御信号発生ステップにおいて出力

される水平同期信号に応じて前記フィールドメモリの読み出し動作を制御するステップを含むことを特徴とする請求項 9 記載の映像信号変換方法。

1 3. 前記記憶部は、フィールドメモリを含み、

5 前記同期制御信号発生ステップは、前記垂直周波数変換ステップにおいて入力される映像信号が奇数フィールドであるか偶数フィールドであるかを判別するステップを含み、

前記垂直周波数変換ステップは、前記判別ステップにおいて判別されたフィールド情報を垂直周波数変換前の垂直同期信号に応じて記憶し、垂直周波数変換後の垂直同期信号に応じて前記フィールドメモリに記憶されている映像信号とリンクさせて記憶したフィールド情報を読み出すステップを含み、

前記垂直周波数変換ステップは、読み出されたフィールド情報に応じて映像信号を出力するステップを含み、

15 前記インターレース/プログレッシブ変換ステップは、フィールド内補間により前記フィールド情報に応じて出力される映像信号をインターレース信号からプログレッシブ信号へ変換するステップを含むことを特徴とする請求項 9 記載の映像信号変換方法。

1 4. 前記同期制御信号発生ステップは、

第 1 の水平同期信号発生回路を用いて、前記垂直周波数変換ステップにおける出力側および前記走査線変換ステップにおける入力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップと、

垂直同期信号発生回路を用いて、前記第 1 の水平同期信号発生回路から発生される水平同期信号を用いて垂直同期信号を発生させるステップと、

25 第 2 の水平同期信号発生回路を用いて、前記走査線変換ステップにおける出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップと、

前記垂直周波数変換ステップにおける入力側の映像信号の垂直同期信号から作成された垂直同期信号および前記垂直同期信号発生回路から出力される垂直同期

信号を受け、前記垂直周波数変換ステップにおける出力側の基準となる垂直同期信号および前記走査線変換ステップにおける出力側の基準となる垂直同期信号を作成するための垂直同期信号として、前記垂直周波数変換ステップにおいて垂直周波数変換を行う場合に前記垂直同期信号発生回路の垂直同期信号を選択して出力し、前記垂直周波数変換ステップにおいて垂直周波数変換を行わない場合に前記垂直周波数変換ステップにおける入力側の映像信号の垂直同期信号から作成された垂直同期信号を選択して出力するステップと、

前記選択ステップにおいて選択された垂直同期信号を基準に前記第 1 および第 2 の水平同期信号発生回路をリセットするステップとを含むことを特徴とする請求項 9 記載の映像信号変換方法。

15 前記第 1 の水平同期信号発生回路を用いて水平同期信号を発生させるステップは、第 1 のカウンタを用いて、前記垂直周波数変換ステップにおける出力側および前記走査線変換ステップにおける入力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップを含み、

前記垂直同期信号発生回路を用いて垂直同期信号を発生させるステップは、第 2 のカウンタを用いて、前記第 1 のカウンタから発生される水平同期信号を分周して垂直同期信号を発生させるステップを含み、

前記第 2 の水平同期信号発生回路を用いて水平同期信号を発生させるステップは、

第 3 のカウンタを用いて、前記走査線変換ステップにおける出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるとともに、当該水平同期信号を所定のクロックを発生させる PLL 回路の基準パルスとして出力するステップと、

25 第 4 のカウンタを用いて、前記 PLL 回路の分周比を決定し、前記 PLL 回路から出力されるクロックを分周して前記水平画素変換ステップにおける出力側の基準となる水平同期信号を作成するための水平同期信号を発生させるステップとを含み、

前記第 1 および第 2 の水平同期信号発生回路をリセットするステップは、前記

選択ステップにおいて選択された垂直同期信号を基準に第 1 および第 3 のカウンタをリセットするステップを含むことを特徴とする請求項 1 4 記載の映像信号変換方法。

- 5 1 6. 前記第 1 および第 2 の水平同期信号発生回路をリセットするステップは、前記選択ステップにおいて選択された垂直同期信号を基準に前記第 4 のカウンタをリセットするステップをさらに含むことを特徴とする請求項 1 5 記載の映像信号変換方法。

FIG. 1

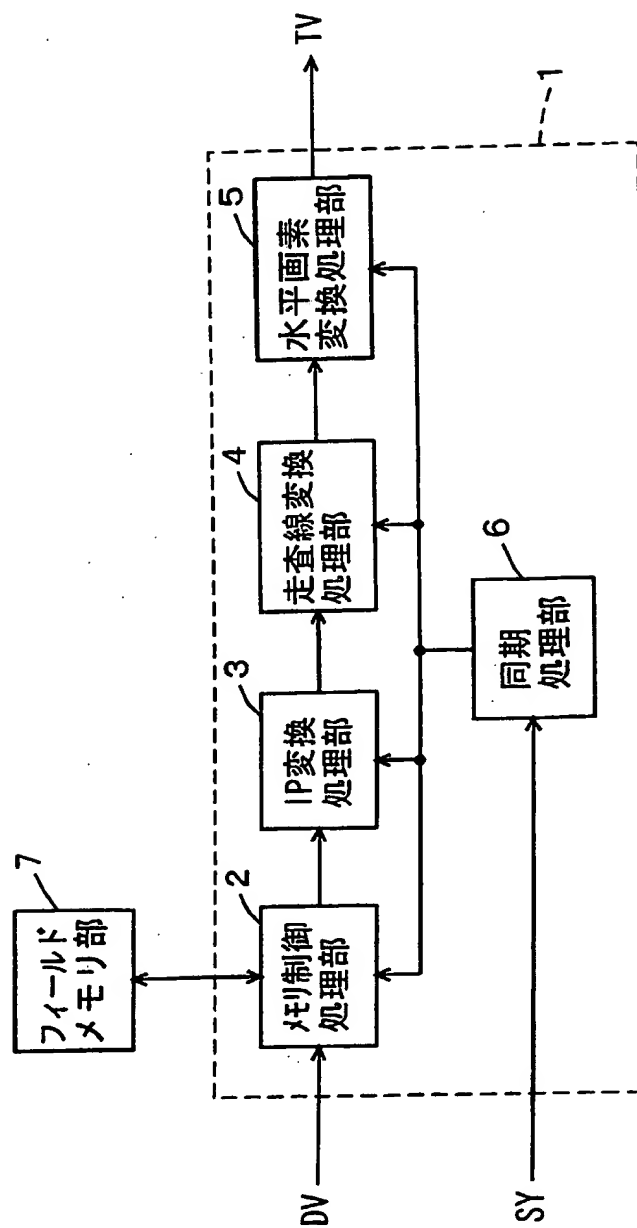


FIG. 2

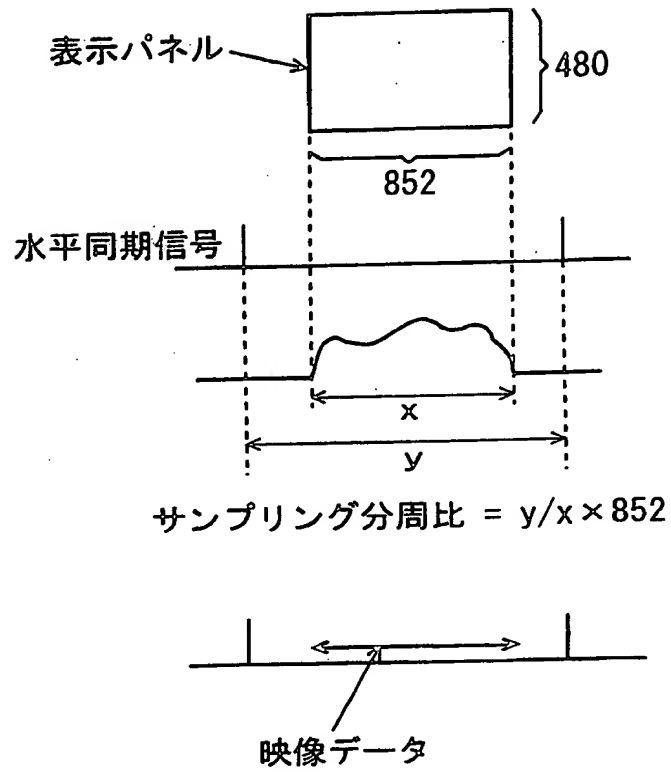
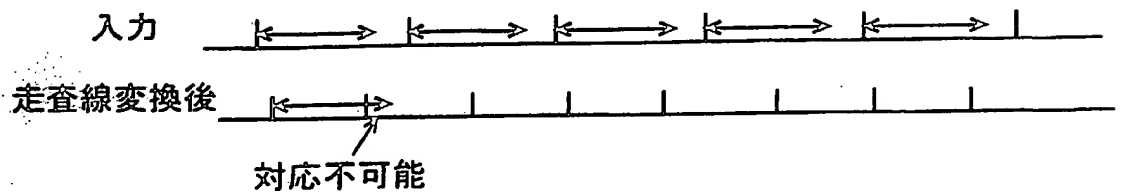


FIG. 3

(a) 入力と同じクロックの場合



(b) 入力と比較し、十分速いクロックの場合

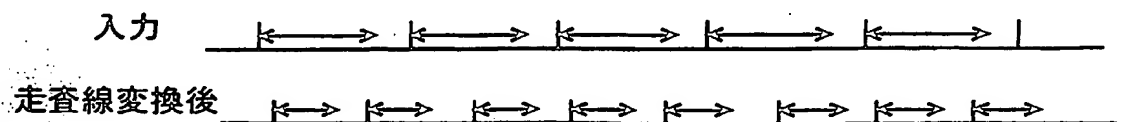
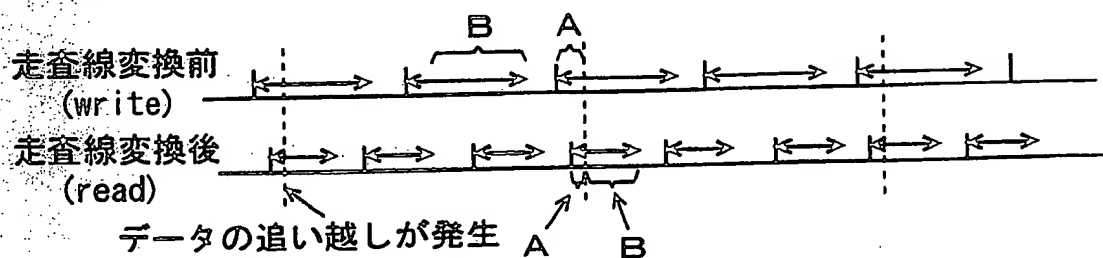


FIG. 4

(a) 走査線変換の前後でクロックを乗せ換えた場合



(b) 走査線変換の後でクロックを乗せ換えた場合

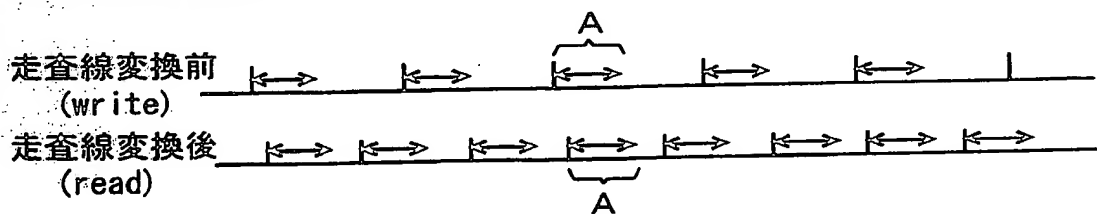


FIG. 5

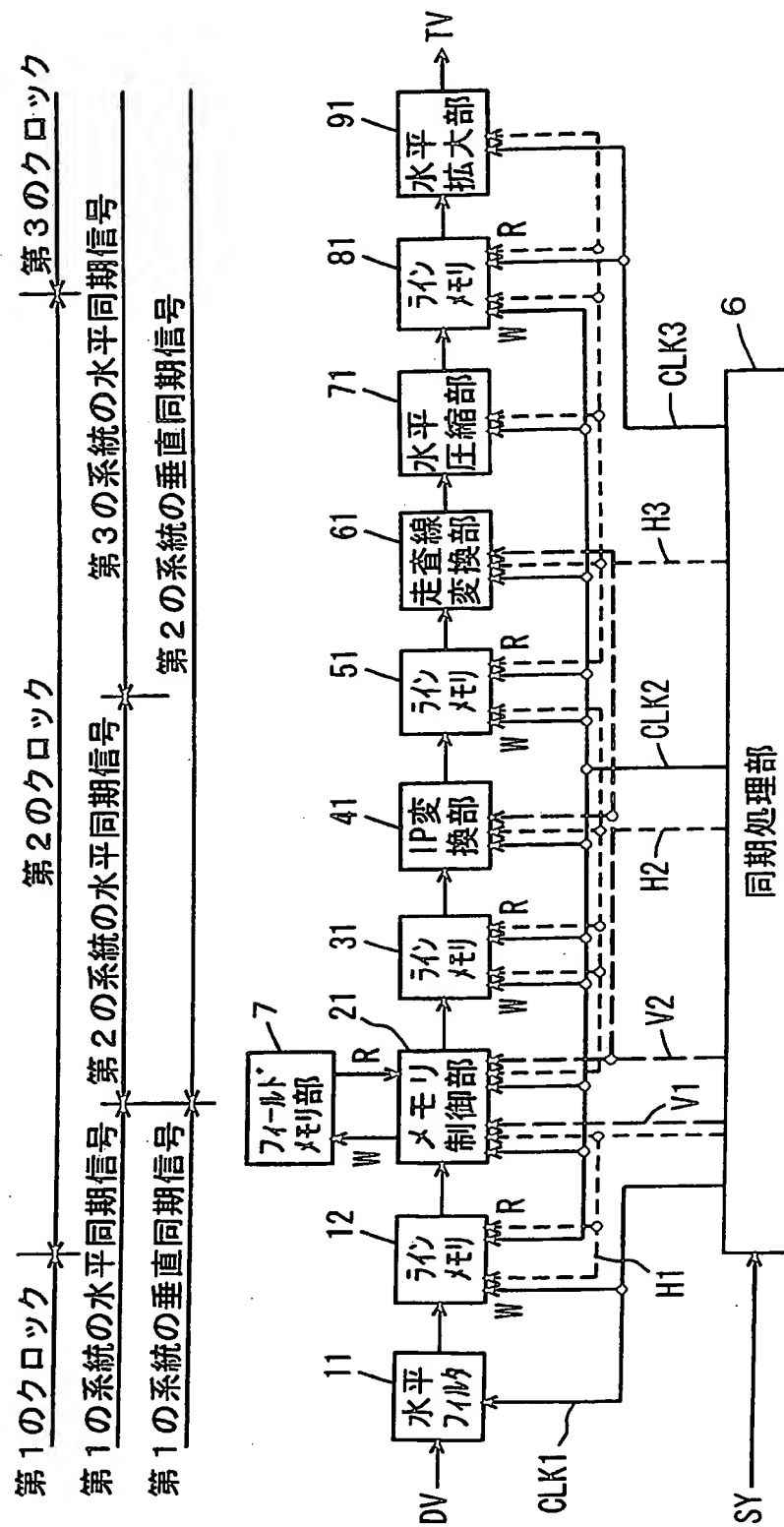


FIG. 6

	IP変換あり		IP変換なし
	奇数フィールド	偶数フィールド	
CLK1系 H11(入力H) V11(入力V)			
CLK2系 H12(H11のCLK2ラッチ) V12(V11のCLK2ラッチ)			
H21(フィールドメモリ後のH) H2D(H21の半H遅れ) H2H(H21の倍周波数) V21(フィールドメモリ後のV)			
H31(走査線変換後のH) V2P(走査線変換後のV)			
CLK3系 H33(H31のCLK3ラッチ)			

FIG. 7

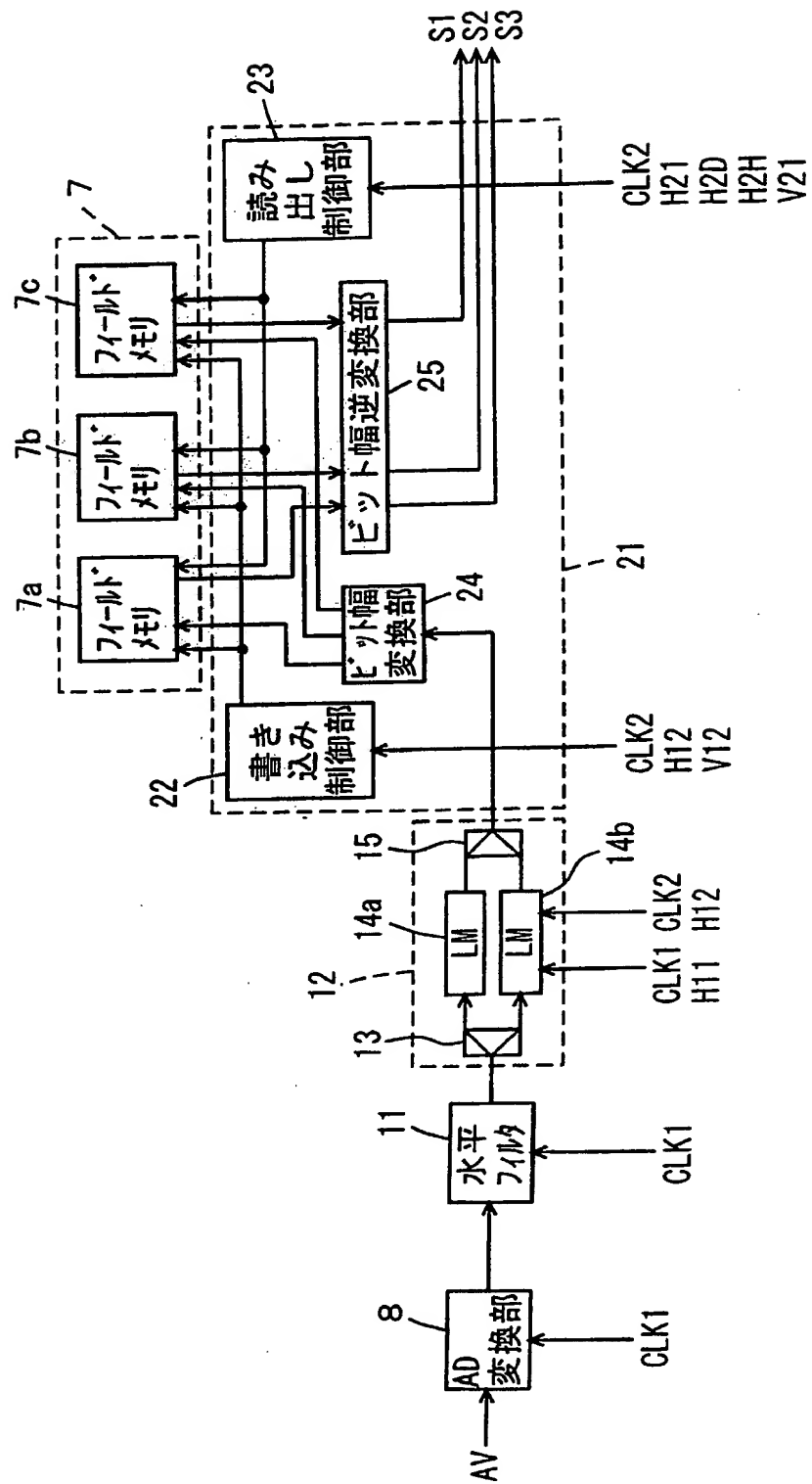


FIG. 8

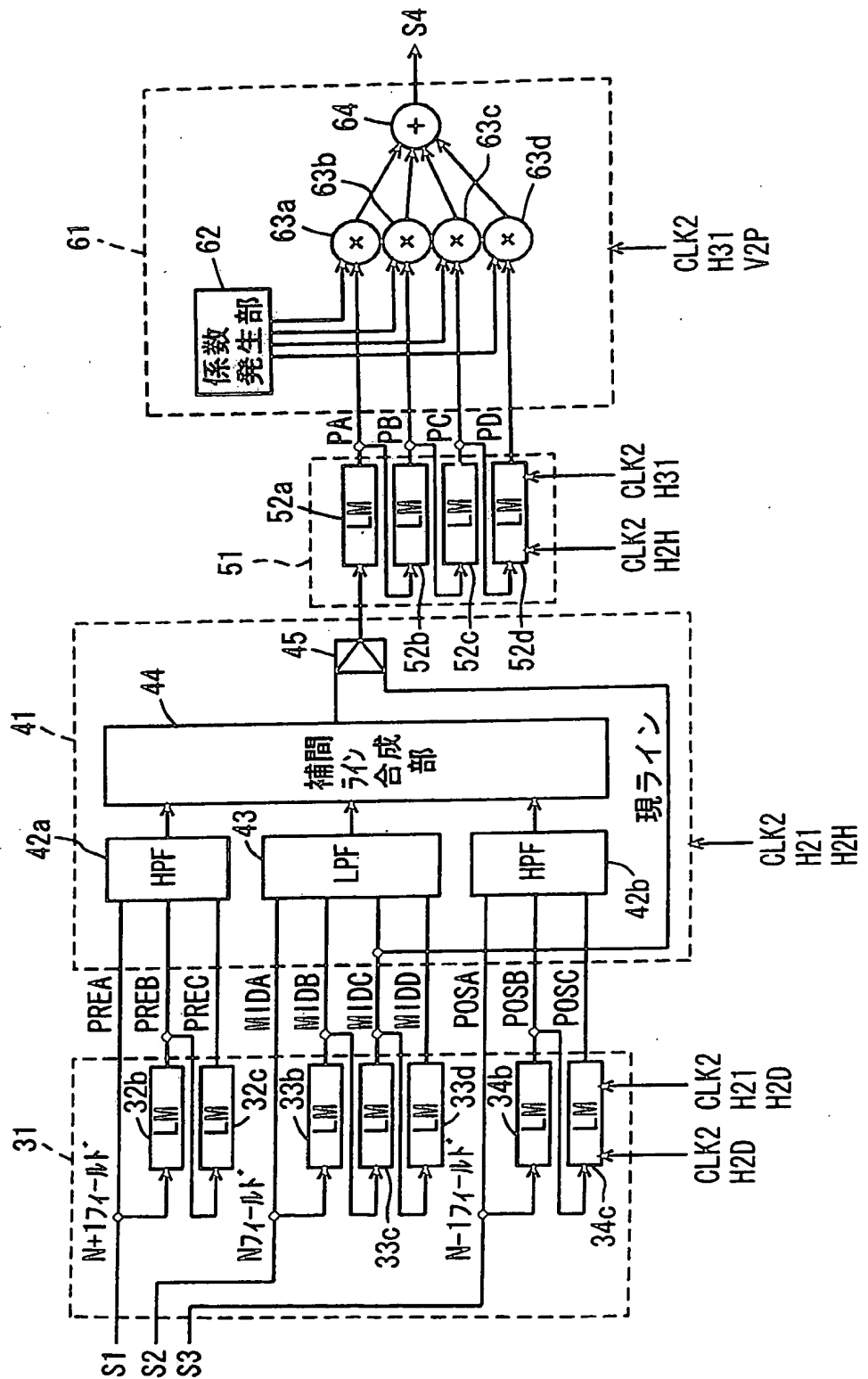


FIG. 9

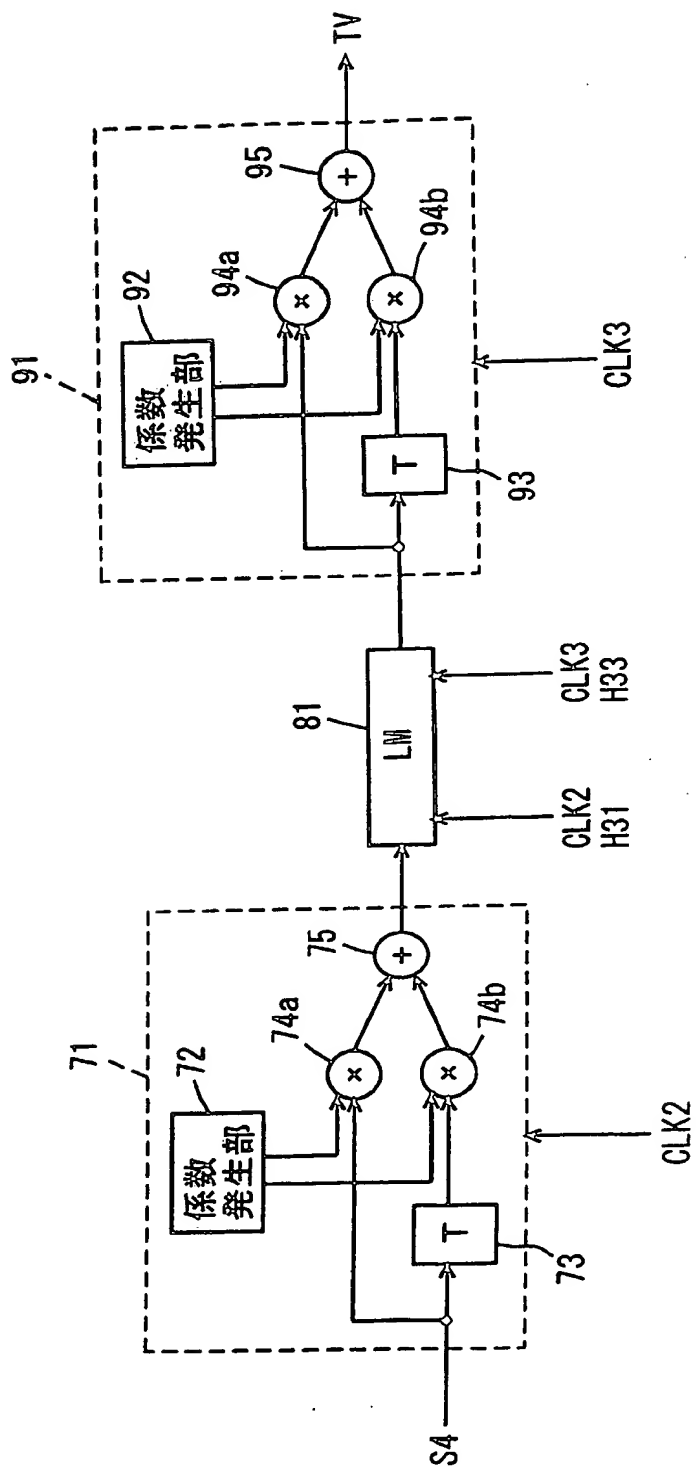


FIG. 10

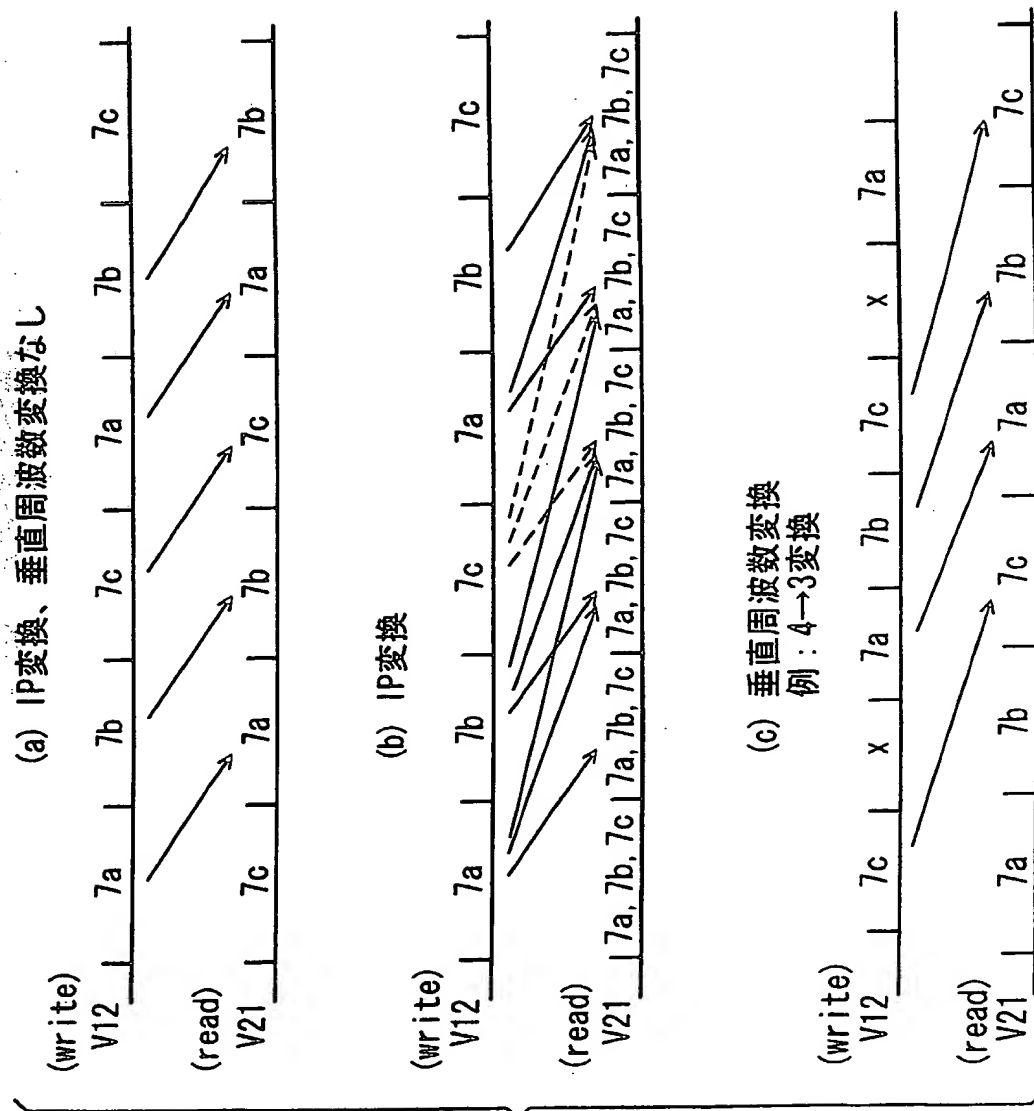
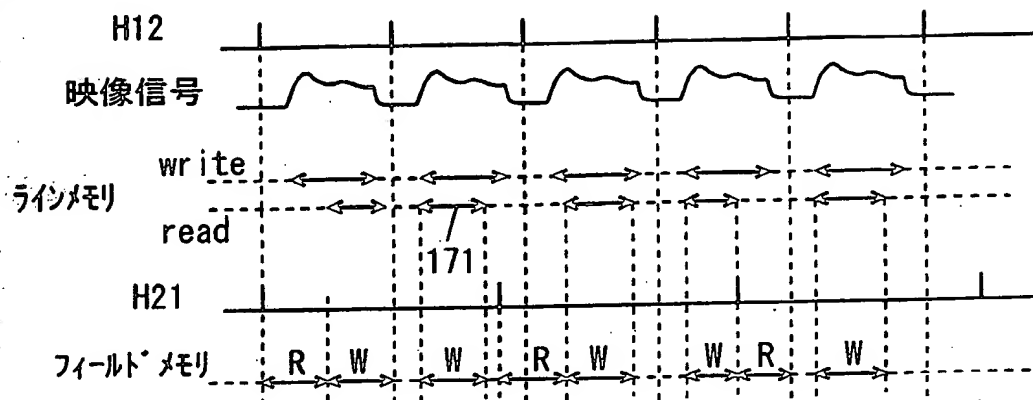


FIG. 11

(a) ラインメモリ 1 本するとき



(b) ラインメモリ 2 本するとき

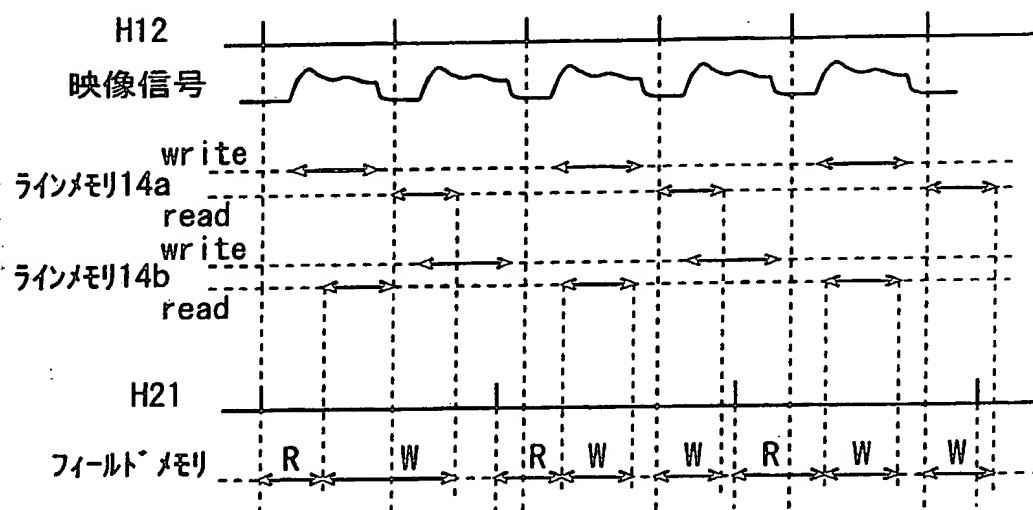


FIG. 12

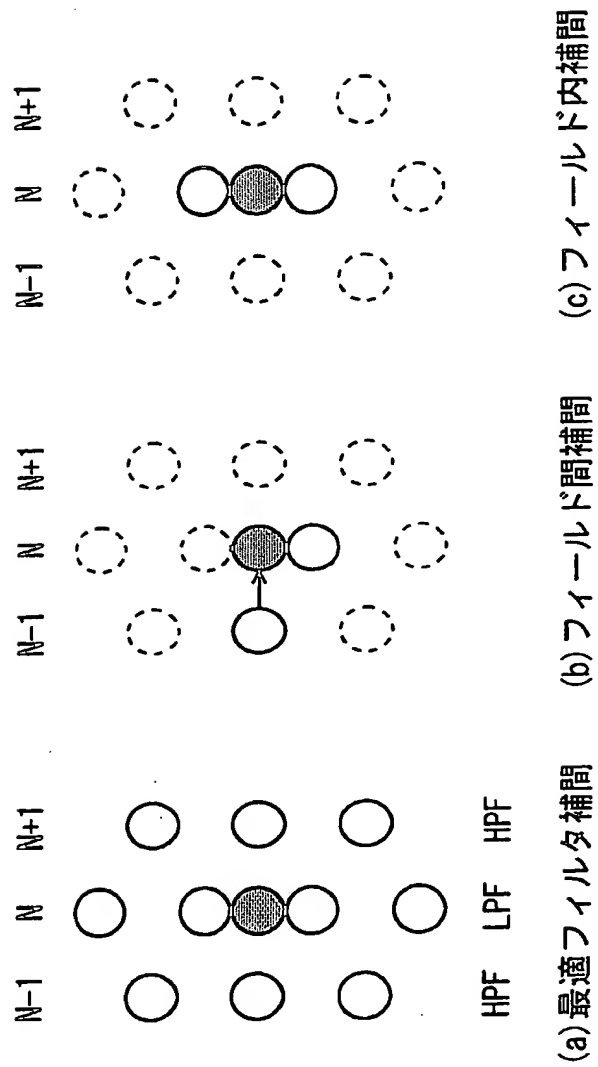


FIG. 13

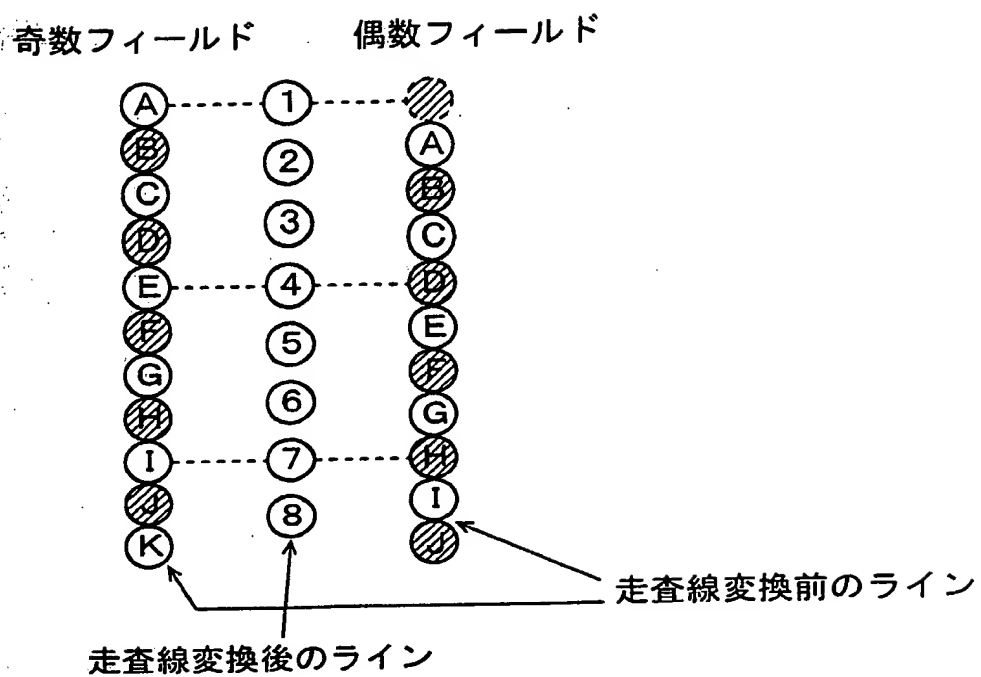


FIG. 14

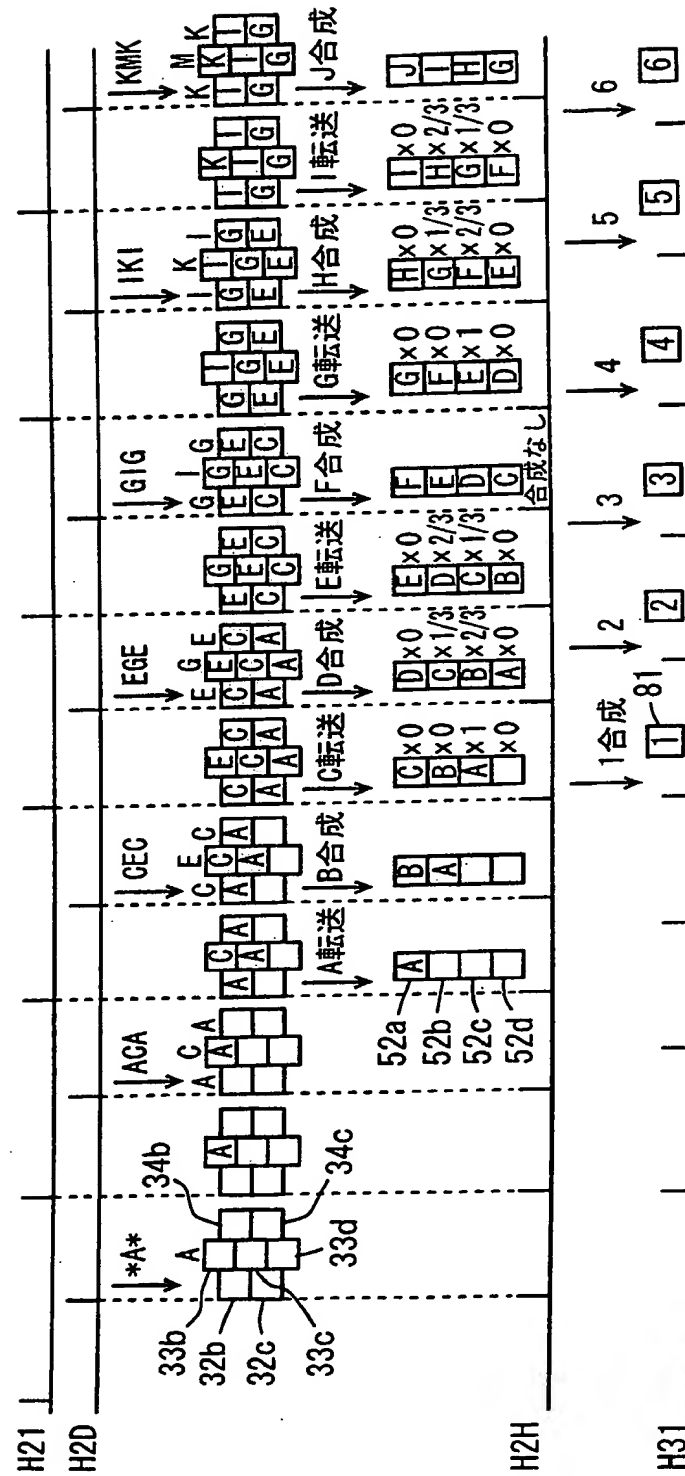
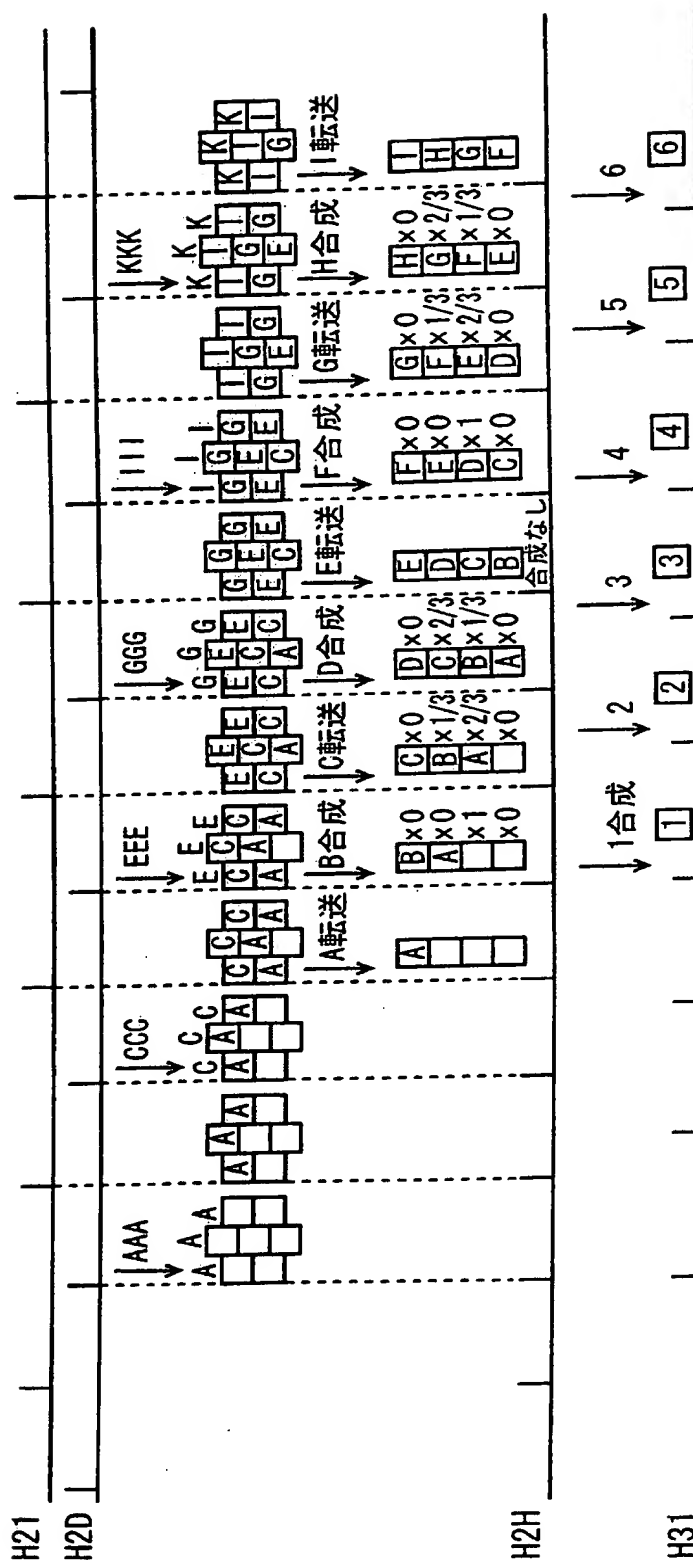


FIG. 15



C



C

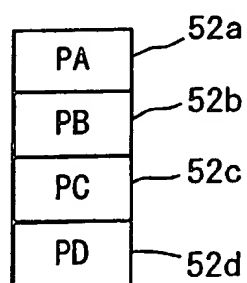


FIG. 18

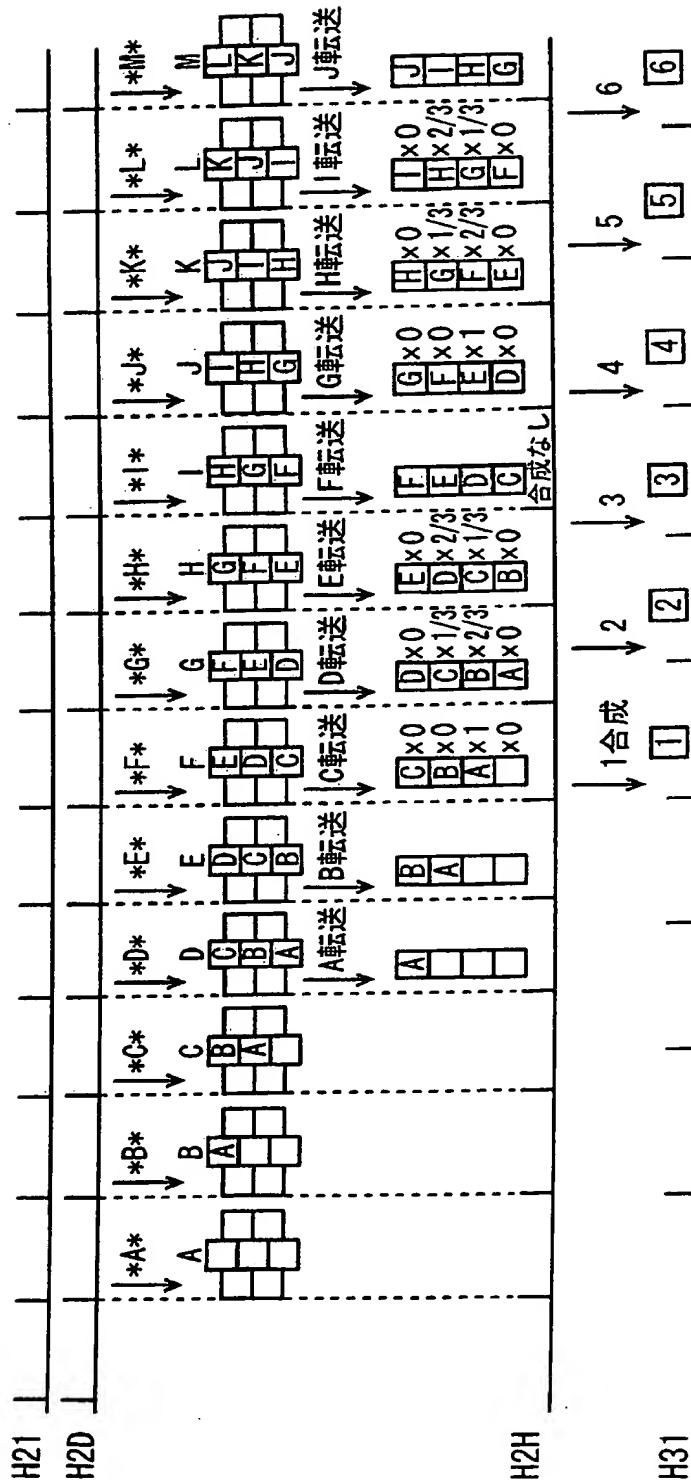


FIG. 19

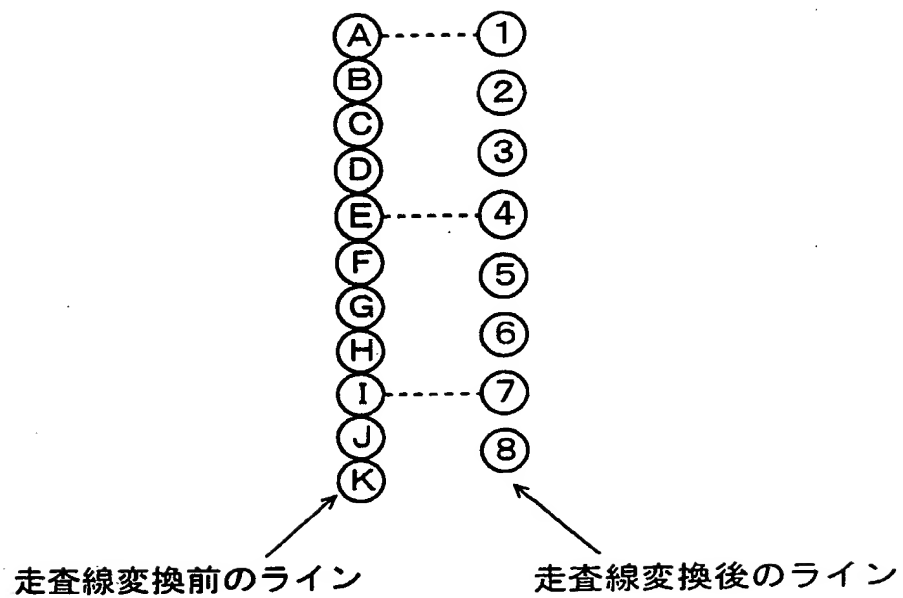
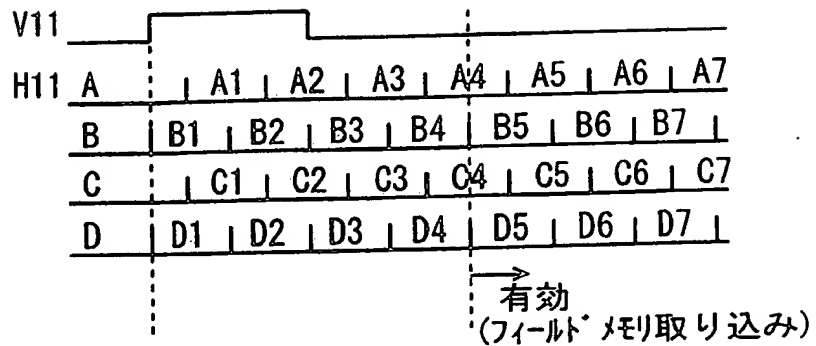
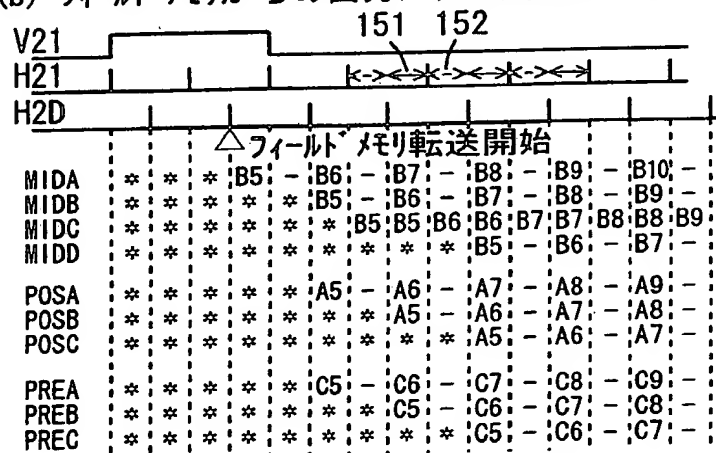


FIG. 20

(a) 入力



(b) フィルトメモリからの出力シーケンス(奇数フィルタ)



(c) フィルトメモリからの出力シーケンス(偶数フィルタ)

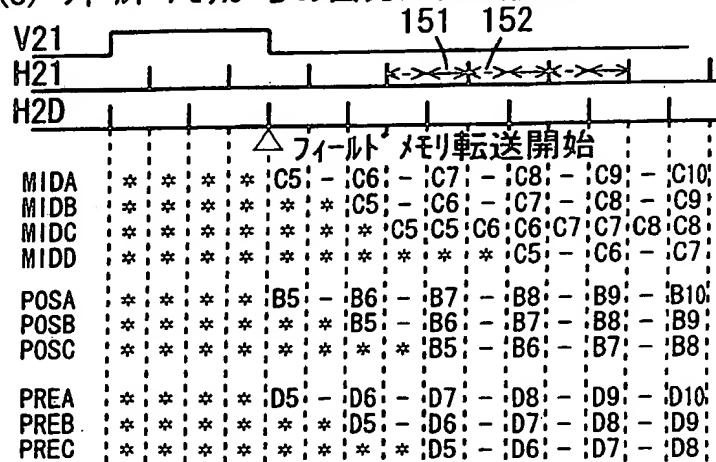
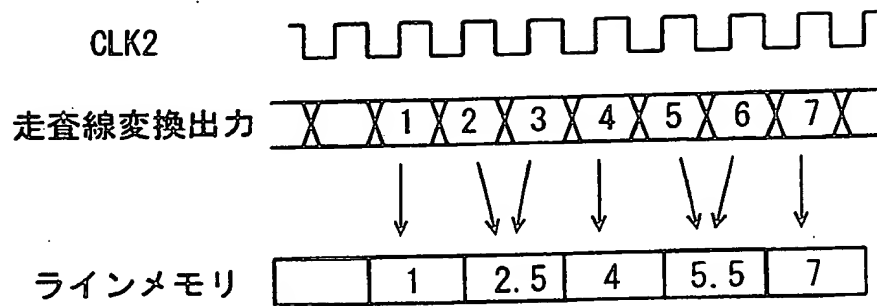
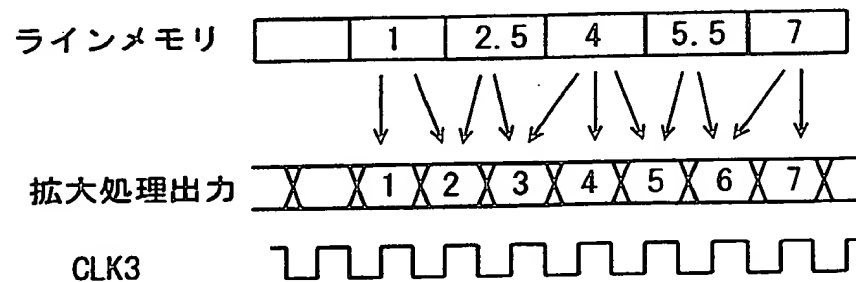


FIG. 21

(a) 書き込み (3→2変換)



(b) 読み出し (2→3変換)



(c) 書き込みで拡大処理を兼用 (3→4変換)

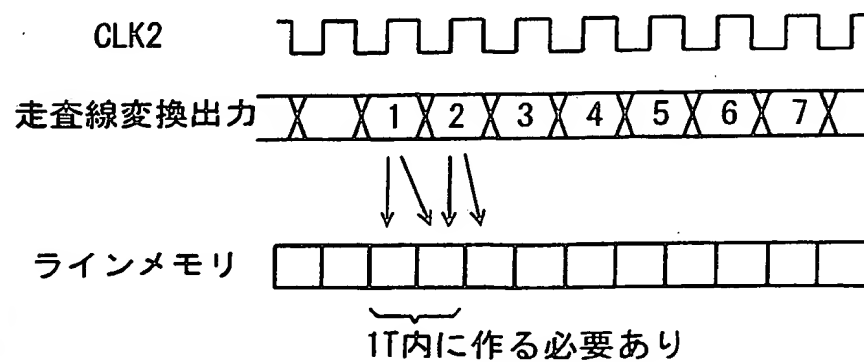


FIG. 22

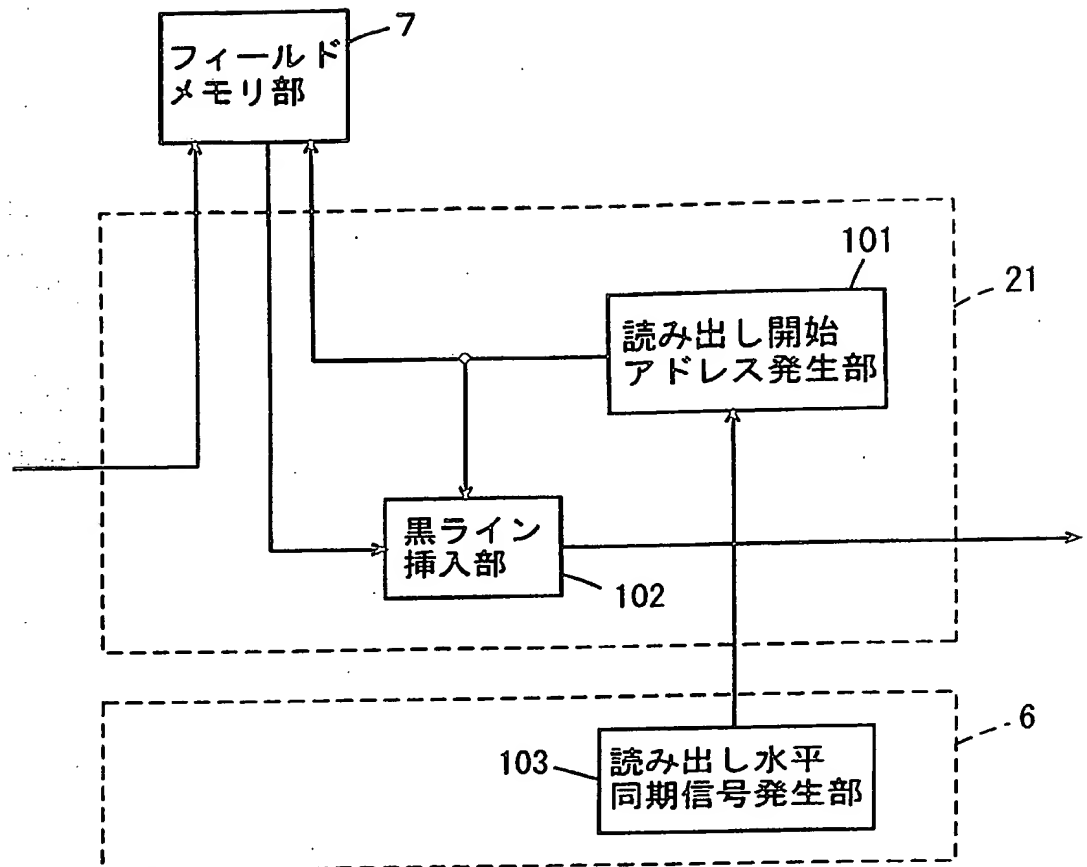


FIG. 23

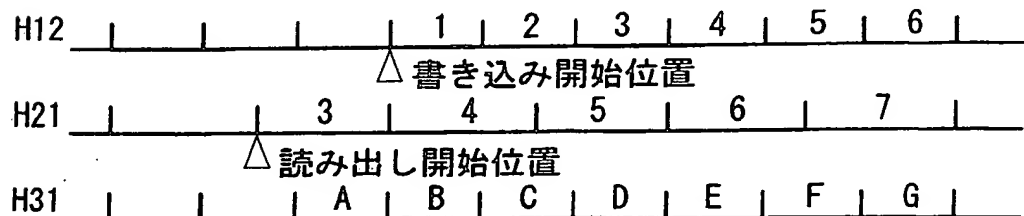


FIG. 24

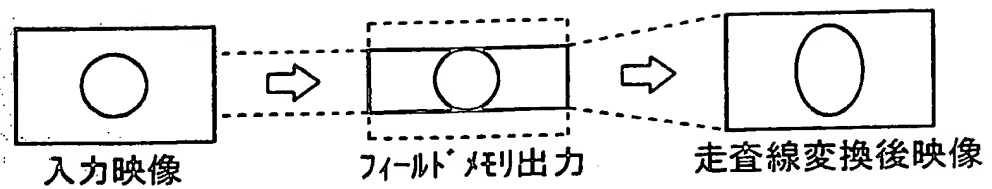


FIG. 25

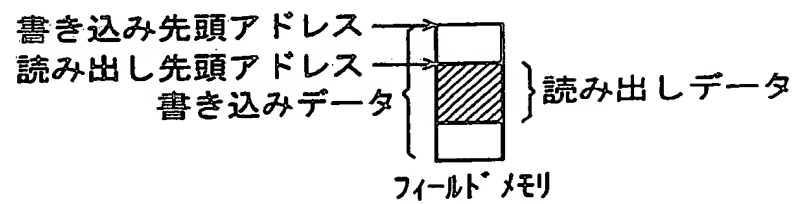


FIG. 26

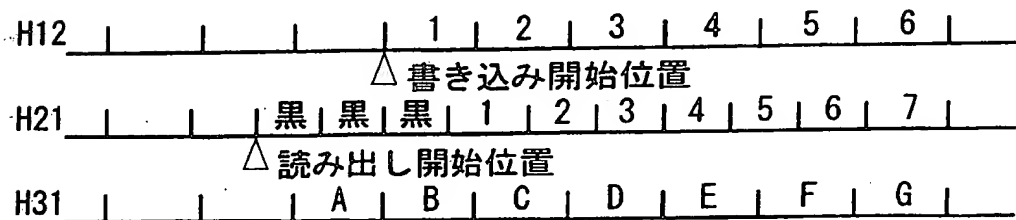


FIG. 27

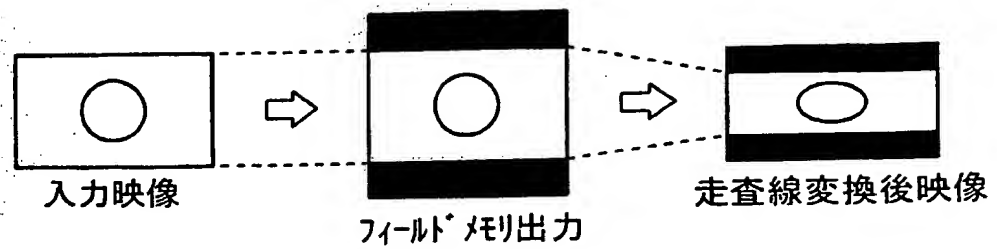


FIG. 28

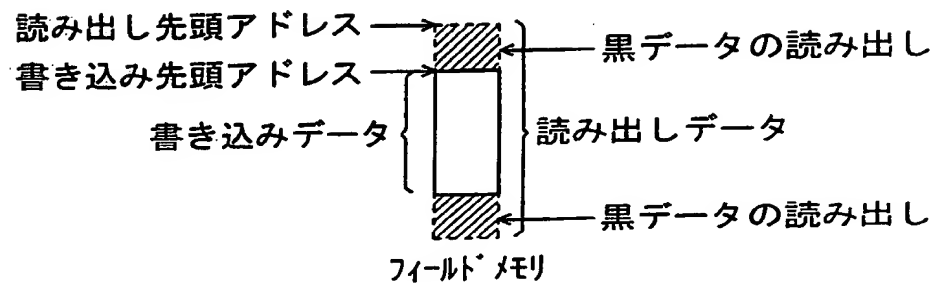


FIG. 29

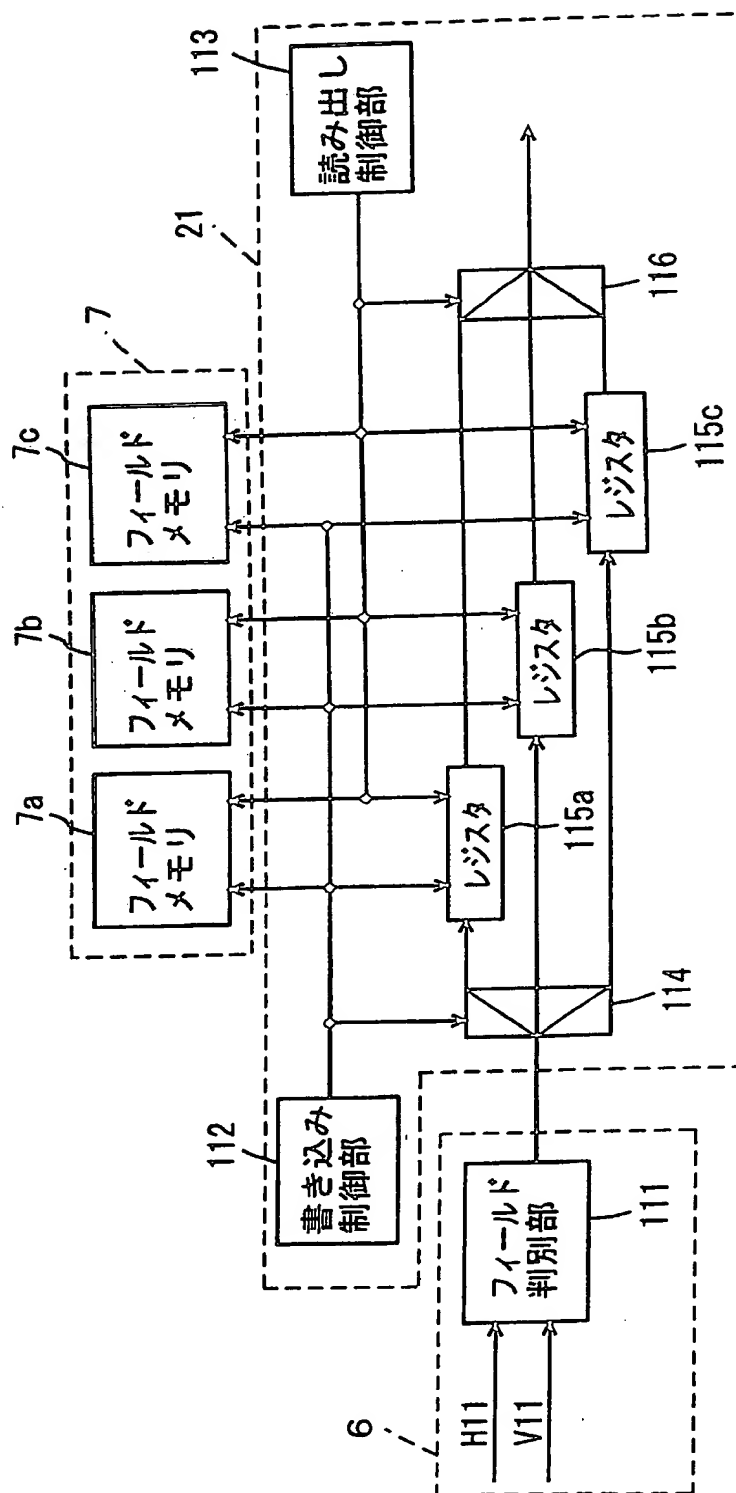
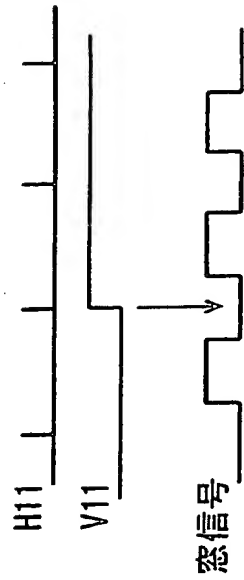


FIG. 30

(a) 奇数フィールド



(b) 偶数フィールド

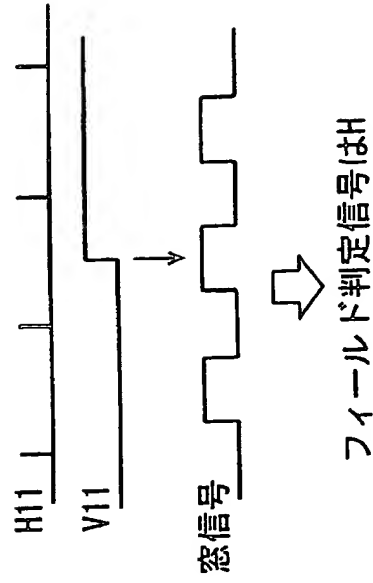


FIG. 31

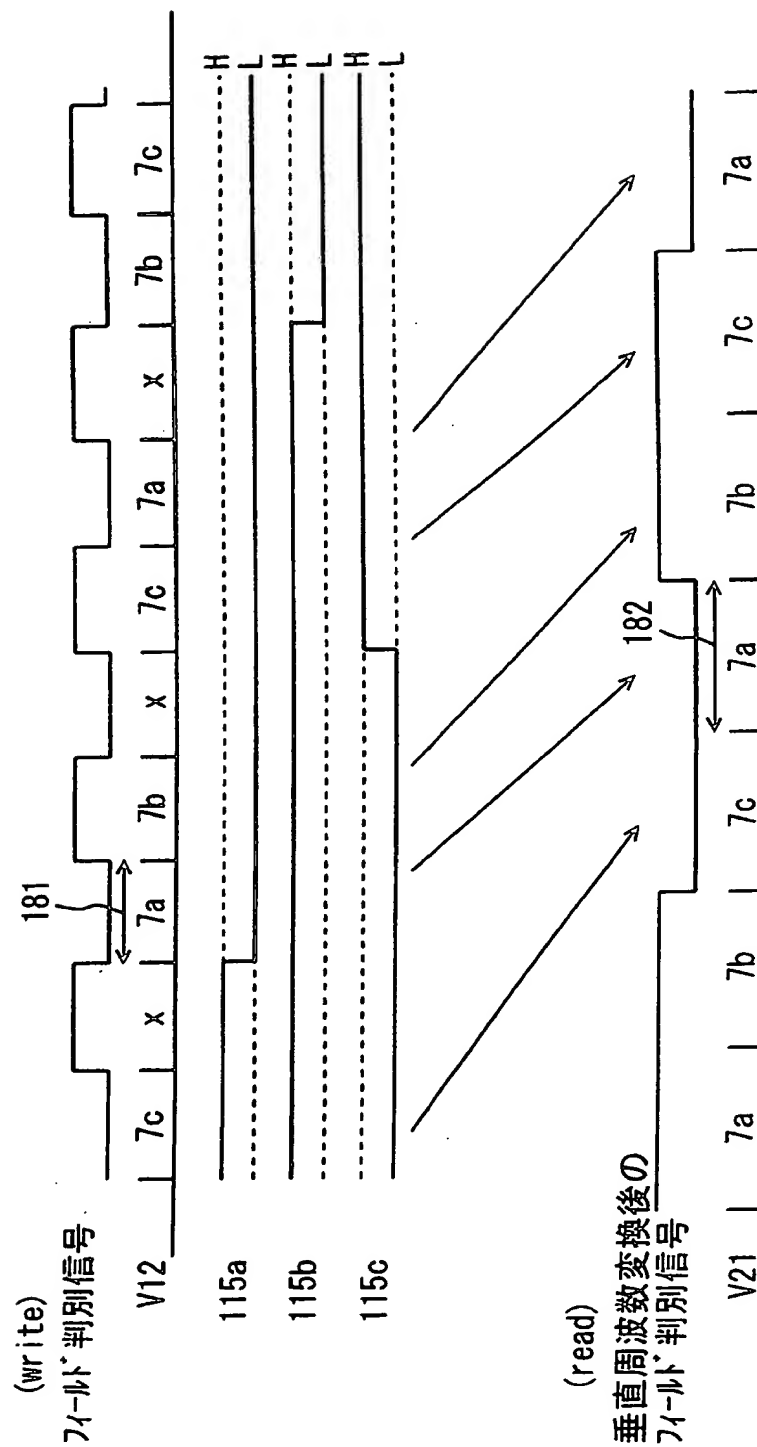


FIG. 33

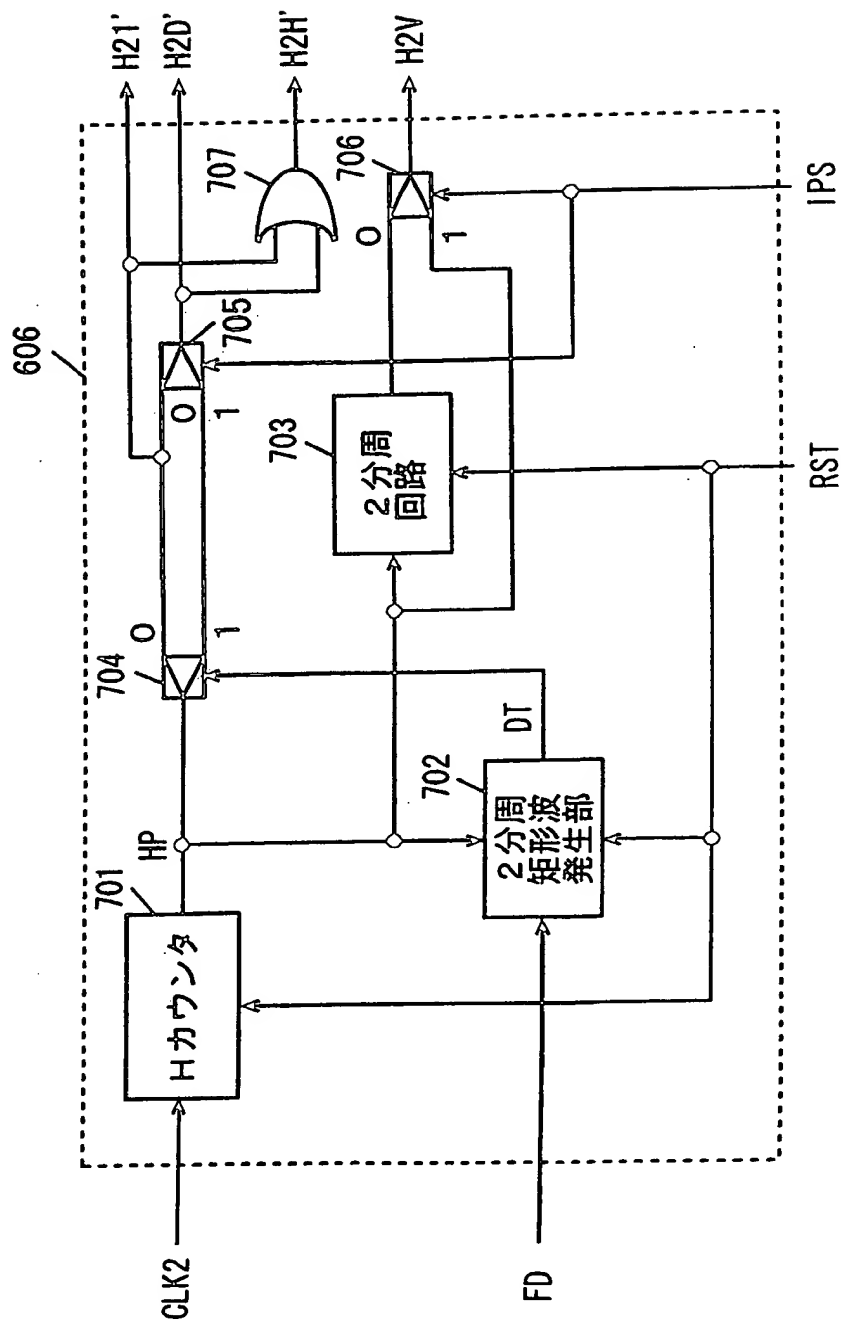


FIG. 34

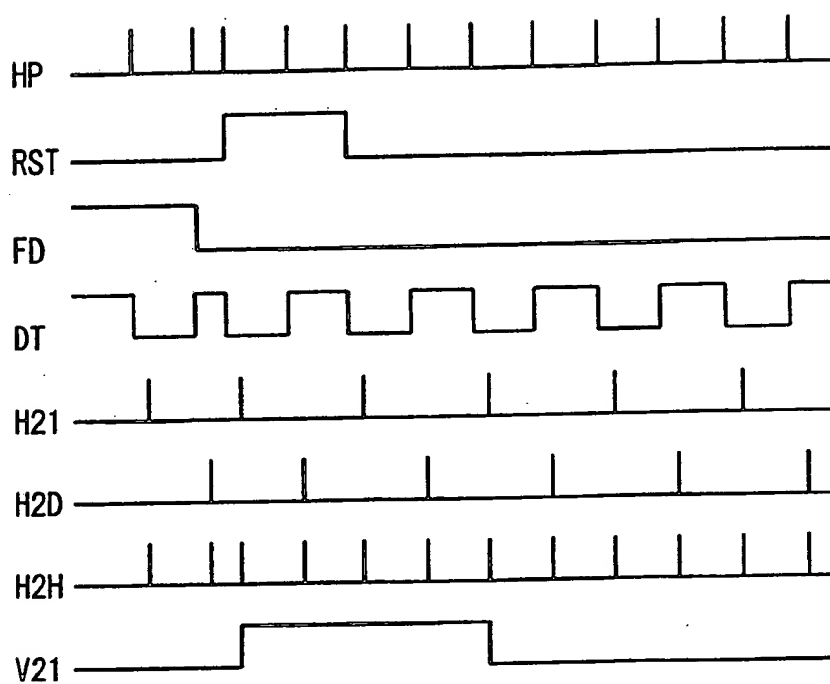


FIG. 35

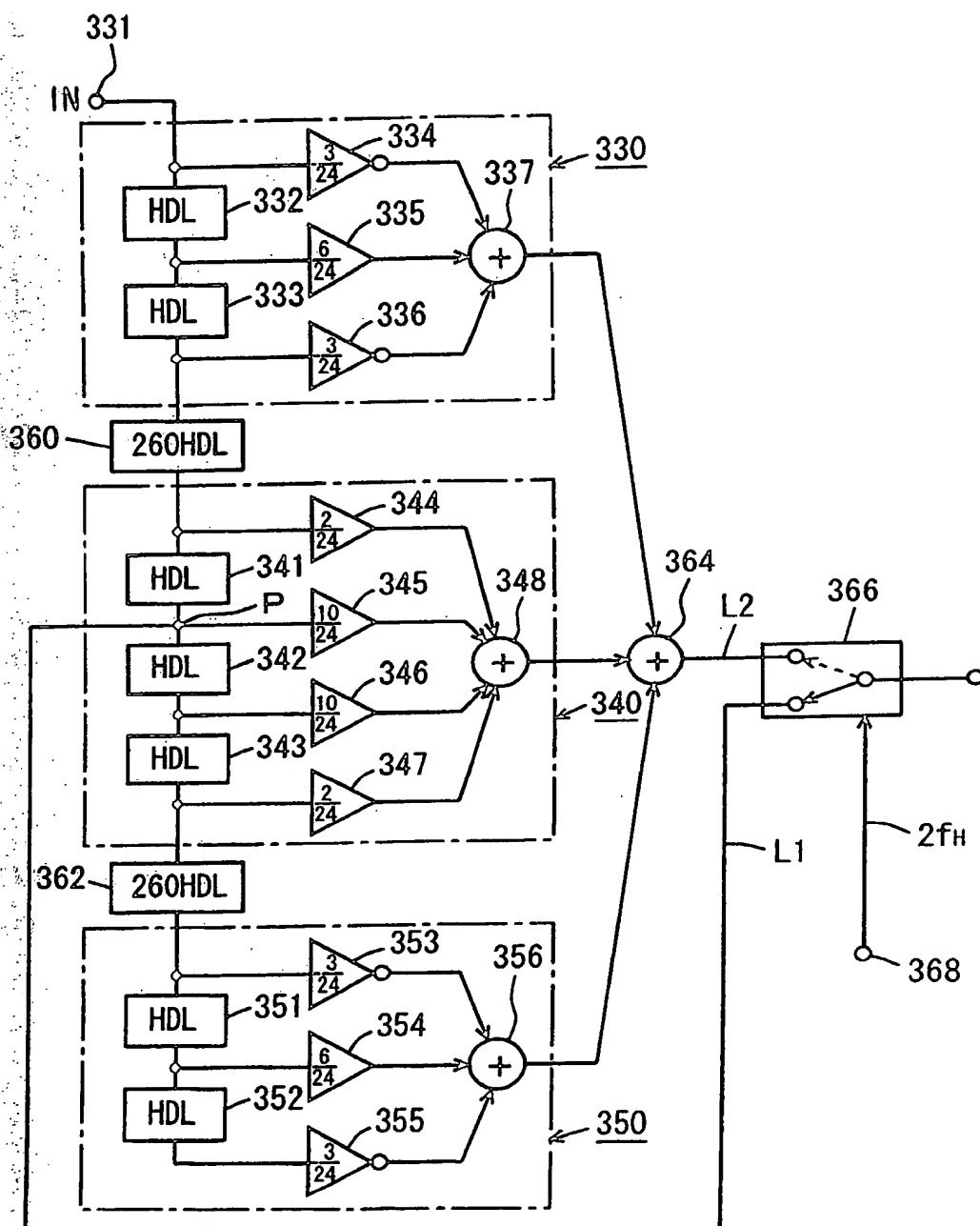


FIG. 36

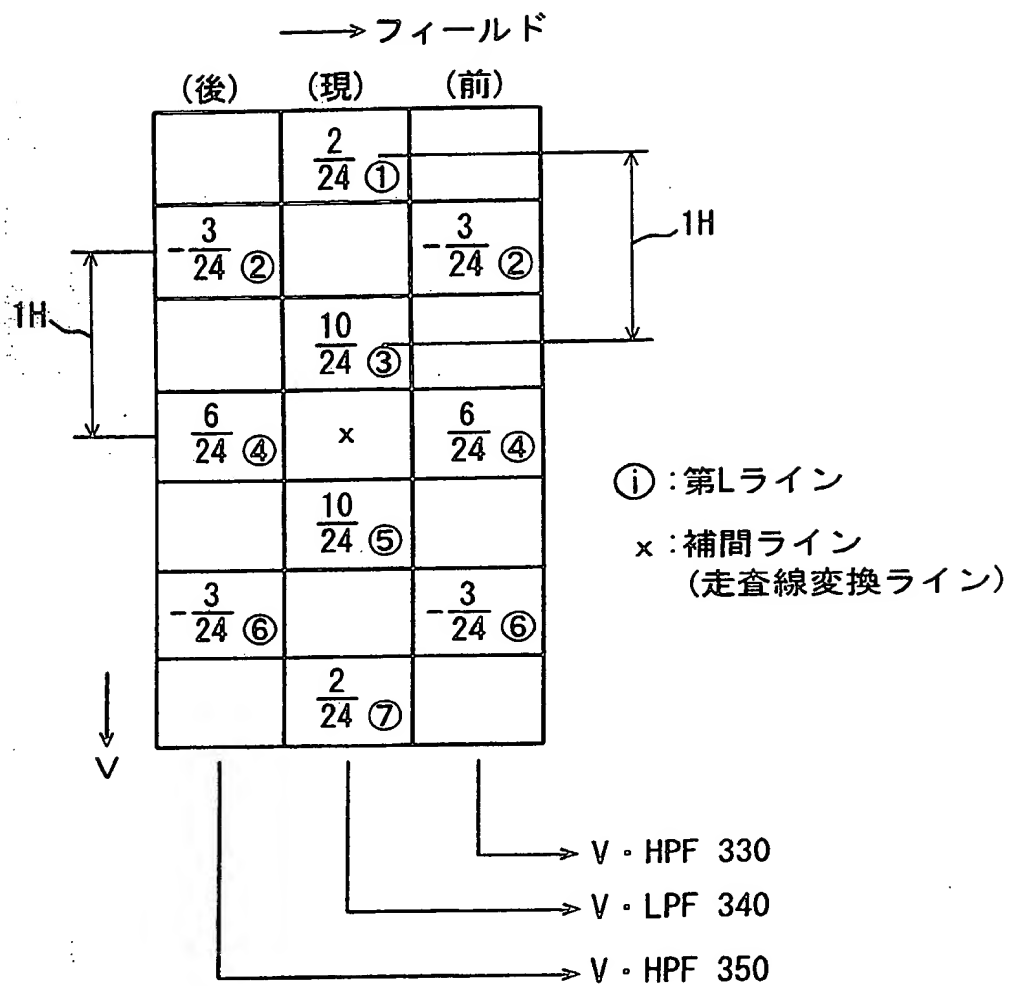


FIG. 37

